

# ZTG1323B

## 高性能 Sub-1GHz 射频收发器

### 特性

- 频率范围: 113 -960 MHz
- 调制解调: OOK, 2(G)FSK, 4(G)FSK 收发;
- 上行特性: Advanced M-FSK 发射;  
24kbps,-122dBm;1kbps,-138dbm
- 数据率: 0.1- 1000 kbps
- 灵敏度: 2FSK, -122dBm DR=2.4kbps, 433.92MHz  
4FSK, -88dBm DR=1Mbps,433.92MHz  
OOK, -94dBm DR= 300kbps, 433.92MHz
- 邻道抑制: 60dBc, BW = 4.8kHz, Channel space = 12.5kHz
- 阻塞抑制: 77dBc, ±1MHz offset, BW =4.8kHz
- 电压范围: 1.8 - 3.6 V
- 发射电流: 30 mA @ 13 dBm, 433.92 MHz, FSK  
82 mA @ 20 dBm, 433.92 MHz, FSK,
- 接收电流: 9.4mA (DCDC)@ 433.92 MHz, FSK
- 单天线模式下, 不需要额外增加 RF Switch 器件
- 支持多种超低功耗 (SLP) 接收模式
- 睡眠电流
  - ◆ 400 nA, Duty Cycle = OFF
  - ◆ 800 nA, Duty Cycle = ON
- 特色功能:
  - ◆ 快速稳定的自动频率校正 (AFC)
  - ◆ 三种不同特性的时钟恢复系统 (CDR)
  - ◆ 快速精准的有效信号监测 (PJD, RSSI)
  - ◆ 超低功耗 (SJP) 和 Duty Cycle 接收
  - ◆ 快速发射或接收跳频
  - ◆ 载波侦听多路访问 (CSMA)
  - ◆ 自动 ACK 和重发
  - ◆ 天线分集
- 4-wireSPI 接口
- 支持直通及包模式, 可配置包处理机及 128-Byte FIFO
- NRZ 格式, 曼切斯特, 数据自化编解码, FEC 前向纠错

### 描述

ZTG1323B 是一款超低功耗, 高性能, 适用于各种 113 至 960 MHz 无线应用的 OOK, (G)FSK 和 4(G)FSK 射频收发器, 另支持 Advanced M-FSK 发射。ZTG1323B 的高集成度, 简化了系统设计所需的外围物料。高达+20 dBm 的发射功率和-122 dBm 的灵敏度优化了应用的链路性能。它支持多种数据包格式及编解码方式, 使得它可以灵活的满足各种应用的需求。另外, ZTG1323B 还支持 128-byte Tx/Rx FIFO, 丰富的 GPIO 及中断配置, Duty-Cycle 运行模式, 信道侦听, 高精度 RSSI, 低电压检测, 上电复位, 低频时钟输出, 快速跳频, 静噪输出等功能, 使得应用设计更加灵活, 实现产品差异化设计。

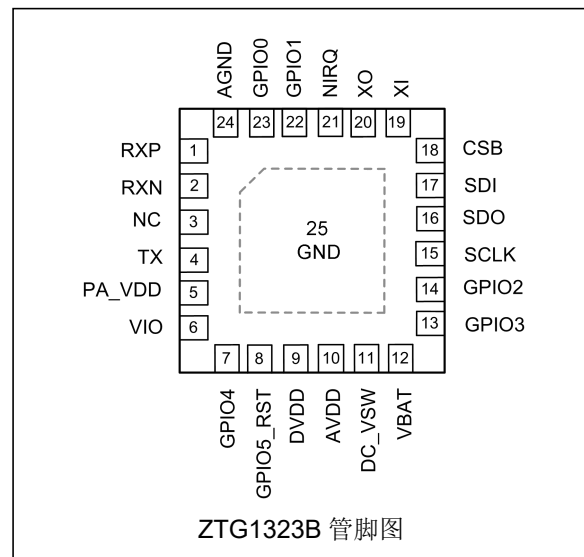
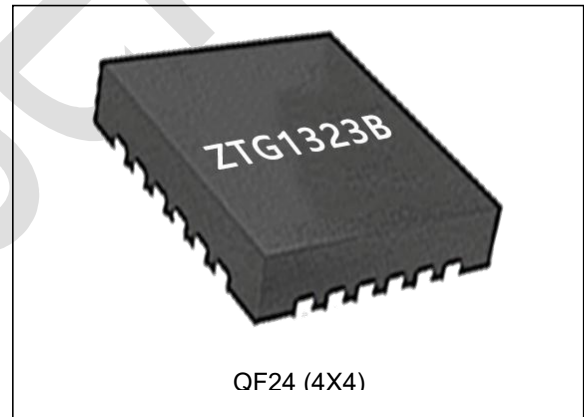
### 应用

- 自动抄表
- 家居安防及楼宇自动化
- ISM 波段数据通讯
- 工业监控及控制
- 遥控及安防系统
- 遥控钥匙进入
- 无线传感器节点
- 标签读写器

### 订购信息

型号	频率	封装	最小起订量
ZTG1323B-EQR	113 -960MHz	QFN24	3,000 pcs

更多订购信息:见表 9-1



## 目录

<b>1. 电气特性</b>	<b>4</b>
1.1 推荐运行条件	4
1.2 绝对最大额定值	4
1.3 功耗	5
1.4 接收机	6
1.5 发射机	8
1.6 频率综合器	8
1.7 稳定时间	9
1.8 晶体	10
1.9 低频 RC 振荡器	10
1.10 低电压检测	11
1.11 数字接口	11
1.12 典型参数图表	11
1.12.1 接收电流与数据率	11
1.12.2 接收灵敏度与数据率	12
1.12.3 发射功率与供电电压	12
1.12.4 发射相位噪声	13
<b>2. 管脚描述</b>	<b>14</b>
<b>3. 典型应用原理图</b>	<b>15</b>
<b>3.1 直接 (Direct Tie) 原理图</b>	<b>15</b>
<b>4. 功能描述</b>	<b>18</b>
4.1 发射机	19
4.2 接收机	19
4.3 辅助功能	19
4.3.1 上电复位 (POR)	19
4.3.2 晶体振荡器	20
4.3.3 温度补偿晶体振荡器 (TCXO)	21
4.3.4 睡眠计时器	21
4.3.5 低电压检测	21
4.3.6 接收信号强度指示器 (RSSI)	23
4.3.7 相位跳变检测 (PJD)	23
4.3.8 自动频率控制 (AFC)	24
4.3.9 数据率时钟恢复 (CDR)	24
4.3.10 快速手动跳频	24
<b>5. 芯片操作机制</b>	<b>25</b>
5.1 SPI 接口	25

5.1.1 读写寄存器操作.....	25
5.1.2 批量（BURST）读写寄存器操作.....	26
5.2 FIFO.....	28
5.2.1 FIFO 读写时序.....	28
5.2.2 FIFO 相关中断.....	29
5.3 工作状态，时序及功耗.....	30
5.3.1 启动时序.....	30
5.3.2 工作状态.....	31
5.4 GPIO 和中断.....	32
<b>6. Advanced M-FSK 调制.....</b>	<b>35</b>
6.1 总体描述.....	35
6.2 符号率的配置.....	35
6.3 频域率的配置.....	35
6.4 数据获取和发射方式.....	36
6.4.1 Preamble 阶段.....	36
6.4.2 Sync 阶段.....	36
6.4.3 Payload 阶段.....	37
6.5 Advanced M-FSK 配合纵行 AP 接收灵敏度和应用场景示意.....	38
<b>7. 数据包及包处理机制.....</b>	<b>39</b>
7.1 直通模式.....	39
Rx 处理.....	39
Tx 处理.....	39
7.2 数据包模式.....	40
7.2.1 Rx 处理.....	40
7.2.2 Tx 处理.....	41
<b>8. 特色收发功能.....</b>	<b>42</b>
8.1 Duty Cycle 运转模式.....	42
8.2 超低功耗（SLP）接收模式.....	42
8.3 自动跳频接收（RX AUTO HOP）.....	44
8.4 自动跳频发送（TX AUTO HOP）.....	45
8.5 自动重发（TX AUTO RESEND）.....	46
8.6 载波监听多路访问（CSMA）.....	46
8.7 天线分集（ANTENNA DIVERSITY）.....	48
<b>9. 用户寄存器.....</b>	<b>50</b>
<b>10. 订购信息.....</b>	<b>51</b>
<b>11. 封装信息.....</b>	<b>52</b>
<b>12. 顶部丝印.....</b>	<b>53</b>

## 1. 电气特性

$V_{DD} = 3.3\text{ V}$ ,  $T_{OP} = 25\text{ }^{\circ}\text{C}$ ,  $F_{RF} = 433.92\text{ MHz}$ , 灵敏度是通过接收一个PN9 序列及匹配至50  $\Omega$ 阻抗, 0.1%BER 的标准下测得。除非另行声明, 所有结果都是在评估板ZTG1323B-EM上测试得到。

### 1.1 推荐运行条件

表 1-1. 推荐运行条件

参数	符号	条件	最小	典型	最大	单位
运行电源电压	$V_{DD}$		1.8		3.6	V
运行温度	$T_{OP}$		-40		85	$^{\circ}\text{C}$
电源电压斜率			1			mV/us

### 1.2 绝对最大额定值

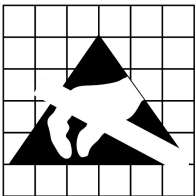
表 1-2. 绝对最大额定值<sup>[1]</sup>

参数	符号	条件	最小	最大	单位
电源电压	$V_{DD}$		-0.3	3.6	V
接口电压	$V_{IN}$		-0.3	3.6	V
结温	$T_J$		-40	125	$^{\circ}\text{C}$
储藏温度	$T_{STG}$		-50	150	$^{\circ}\text{C}$
焊接温度	$T_{SDR}$	持续至少 30 秒		255	$^{\circ}\text{C}$
ESD 等级 <sup>[2]</sup>		人体模型(HBM)	-2	2	kV
栓锁电流		@ 85 $^{\circ}\text{C}$	-100	100	mA

**备注:**

[1]. 超过“绝对最大额定参数”可能会造成设备永久性损坏。该值为压力额定值, 并不意味着在该压力条件下设备功能受影响, 但如果长时间暴露在绝对最大额定值条件下, 可能会影响设备可靠性。

[2]. ZTG1323B 是高性能射频集成电路, 对本芯片的操作和装配只应该在具有良好 ESD 保护的工作台上进行。



**警告! ESD敏感器件.** 对芯片进行操作的时候应注意做好ESD防范措施, 以免芯片的性能下降或者功能丧失。

### 1.3 功耗

**表 1-3. 功耗规格**

参数	符号	条件		典型		参数		
				(不使能 DCDC)	(使能 DCDC)			
Sleep 电流 <sup>[1]</sup>	I <sub>SLEEP</sub>	睡眠模式, 睡眠计数器关闭		400		nA		
		睡眠模式, 睡眠计数器开启		800		nA		
Ready 电流 <sup>[1]</sup>	I <sub>Ready</sub>			2.1	1.9	mA		
RFS 电流 <sup>[1]</sup>	I <sub>RFS</sub>	315 MHz		/	/	mA		
		433 MHz		7.8	5.6	mA		
		868 MHz		8.4	5.9	mA		
		915 MHz		8.5	5.9	mA		
TFS 电流 <sup>[1]</sup>	I <sub>TFS</sub>	315 MHz		/	/	mA		
		433 MHz		7.8	5.6	mA		
		868 MHz		8.4	5.9	mA		
		915 MHz		8.5	5.9	mA		
RX 电流 <sup>[1]</sup>	I <sub>Rx</sub>	DR = 10kbps Dev =10kHz		315 MHz		mA		
				433 MHz		13.6	9.4	mA
				868 MHz		14.3	9.9	mA
				915 MHz		14.3	9.9	mA
TX 电流 <sup>[1]</sup>	I <sub>Tx</sub>	20 dBm <sup>[2]</sup>		315 MHz		mA		
				433 MHz		82	81	mA
				868 MHz		88	87	mA
				915 MHz		88	87	mA
		13 dBm <sup>[3]</sup>		315 MHz		/	/	mA
				433 MHz		30	29	mA
				868 MHz		33	32	mA
				915 MHz		34	33	mA
		10 dBm <sup>[3]</sup>		315 MHz		/	/	mA
				433 MHz		25	24	mA
				868 MHz		27	26	mA
				915 MHz		27	26	mA
		-10 dBm <sup>[3]</sup>		315 MHz		/	/	mA
				433 MHz		11	10	mA
				868 MHz		12	11	mA
				915 MHz		12	11	mA

备注:

 [1]. 2FSK, DR = 10kbps, F<sub>DEV</sub> = 10kHz, V<sub>BAT</sub> = 3.3V。

[2]. 使用 20dBm 匹配网络。

[3]. 使用 13dBm 匹配网络。

## 1.4 接收机

**表 1-4. 接收器规格**

参数	符号	条件	最小	典型	最大	参数			
数据率	DR	OOK	0.1		300	kbps			
		FSK 和 GFSK	0.1		500	kbps			
		4FSK	0.1		1000	kbps			
频偏(RX)	F <sub>DEV</sub>	(G)FSK, 4(G)FSK <sup>[1]</sup>	0.5		350	kHz			
灵敏度 @ 433 MHz (匹配网络直连)	S <sub>433</sub>	FSK <sup>[2]</sup>	DR = 2.4 kbps, F <sub>DEV</sub> = 1.2 kHz, BW= 4.8kHz		-122		dBm		
			DR = 10 kbps, F <sub>DEV</sub> = 5 kHz		-114		dBm		
			DR = 20 kbps, F <sub>DEV</sub> = 10 kHz		-112		dBm		
			DR = 50 kbps, F <sub>DEV</sub> = 25 kHz		-109		dBm		
			DR =100 kbps, F <sub>DEV</sub> = 50 kHz		-106		dBm		
			DR =200 kbps, F <sub>DEV</sub> = 100 kHz		-104		dBm		
		OOK <sup>[2]</sup>	5 kbps		-110		dBm		
			50 kbps		-101		dBm		
			100 kbps		-97		dBm		
			200 kbps		-95		dBm		
			300 kbps		-94		dBm		
		4FSK <sup>[2]</sup>	DR = 10 kbps, F <sub>DEV</sub> <sup>[3]</sup> = 10kHz		-109		dBm		
			DR = 100 kbps, F <sub>DEV</sub> <sup>[3]</sup> =100kHz		-99		dBm		
			DR = 1 Mbps, F <sub>DEV</sub> <sup>[3]</sup> = 250 kHz		-88		dBm		
		灵敏度 @ 868 MHz (匹配网络直连)	S <sub>868</sub>	FSK <sup>[2]</sup>	DR = 2.4 kbps, F <sub>DEV</sub> = 1.2 kHz, BW=4.8kHz		-120		dBm
					DR = 10 kbps, F <sub>DEV</sub> = 5 kHz		-111		dBm
					DR = 20 kbps, F <sub>DEV</sub> = 10 kHz		-110		dBm
					DR = 50 kbps, F <sub>DEV</sub> = 25 kHz		-107		dBm
DR =100 kbps, F <sub>DEV</sub> = 50 kHz					-104		dBm		
DR =200 kbps, F <sub>DEV</sub> = 100 kHz					-102		dBm		
OOK <sup>[2]</sup>	5 kbps				-106		dBm		
	50 kbps				-98		dBm		
	100 kbps				-94		dBm		
	200 kbps				-93		dBm		
	300 kbps				-92		dBm		
4FSK <sup>[2]</sup>	DR = 10 kbps, F <sub>DEV</sub> <sup>[3]</sup> = 10kHz				-106		dBm		
	DR = 100 kbps, F <sub>DEV</sub> <sup>[3]</sup> = 100kHz				-96		dBm		
	DR = 1 Mbps, F <sub>DEV</sub> <sup>[3]</sup> = 250 kHz				-85		dBm		

备注:

[1]. 高斯调制默认 BT = 0.5;

[2]. 没有标明使用 BW 大小的, 全部使用 10ppm 的晶体, BW 由 RFPDK 自动计算。

 [3]. 4FSK 的 F<sub>DEV</sub> 表示中心频点左右两最外侧的频点到中心频点的频率偏差。

参数	符号	条件	最小	典型	最大	参数
接收信道带宽	BW	接收信道带宽	1.3		1168	kHz
RSSI 测量范围	RSSI	步进为 1dB	-127		20	dBm
同信道干扰抑制比@ 433MHz, 868MHz	CCR	DR = 2.4 kbps $F_{DEV} = 1.2$ kHz; BW= 4.8kHz CW 干扰, BER<0.1%		-7		dBc
邻道抑制比 @ 433MHz	ACR-I <sub>433</sub>	DR = 2.4 kbps $F_{DEV} = 1.2$ kHz; BW= 4.8kHz, Channel Space = 12.5kHz, CW 干扰, BER<0.1%		62		dBc
邻道抑制比 @ 868MHz	ACR-I <sub>868</sub>	DR = 2.4 kbps $F_{DEV} = 1.2$ kHz; BW= 4.8kHz, Channel Space = 12.5kHz, CW 干扰, BER<0.1%		56		dBc
阻塞抑制比 @ 433MHz	BI <sub>433</sub>	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8kHz, CW 干扰, BER<0.1%	±1 MHz 偏移	76		dBc
			±2MHz 偏移	80		dBc
			±10 MHz 偏移	84		dBc
阻塞抑制比 @ 868MHz	BI <sub>868</sub>	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8kHz, CW 干扰, BER<0.1%	±1 MHz 偏移	66		dBc
			±2MHz 偏移	76		dBc
			±10 MHz 偏移	83		dBc
镜像抑制比 @ 433MHz	IMR <sub>433</sub>	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8kHz CW 干扰, BER<0.1%	校正前	30		dBc
			校正后	56		dBc
镜像抑制比 @ 868MHz	IMR <sub>868</sub>	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8kHz CW 干扰, BER<0.1%	校正前	26		dBc
			校正后	51		dBc
输入3阶交调点 @433MHz	IIP3 <sub>433</sub>	DR = 2.4 kbps, $F_{DEV} = 1.2$ kHz; 10 MHz 和 20 MHz 偏移的双音测试		-13		dBm
输入3阶交调点 @868MHz	IIP3 <sub>868</sub>	DR = 2.4 kbps, $F_{DEV} = 1.2$ kHz; 10 MHz 和 20 MHz 偏移的双音测试		-12		dBm
接收机输入阻抗	Zin	RXP与RXN 差分输入阻抗	433MHz	150 $\Omega$ // 0.8pF		
			868MHz	134 $\Omega$ // 1.0pF		

## 1.5 发射机

**表 1-5. 发射机规格**

参数	符号	条件	最小	典型	最大	参数
输出功率	$P_{OUT}$	不同的频段需要特定的外围物料	-10		+20	dBm
输出功率步进	$P_{STEP}$			1		dB
GFSK高斯滤波系数	BT		0.3	0.5	1.0	-
不同温度下输出功率变化	$P_{OUT-TOP}$	温度从-40 至+85 °C		1		dB
发射杂散辐射		$P_{OUT} = +20$ dBm,433MHz, $F_{RF} < 1$ GHz			-54	dBm
		1 GHz 至 12.75 GHz, 含谐波			-36	dBm
$F_{RF} = 315$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>315</sub>	2 次谐波 +20 dBm $P_{OUT}$		/		dBm
	H3 <sub>315</sub>	3 次谐波 +20 dBm $P_{OUT}$		/		dBm
$F_{RF} = 433$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>433</sub>	2 次谐波 +20 dBm $P_{OUT}$		-66		dBm
	H3 <sub>433</sub>	3 次谐波 +20 dBm $P_{OUT}$		-71		dBm
$F_{RF} = 868$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>868</sub>	2 次谐波 +20 dBm $P_{OUT}$		-44		dBm
	H3 <sub>868</sub>	3 次谐波 +20 dBm $P_{OUT}$		-72		dBm
$F_{RF} = 915$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>915</sub>	2 次谐波 +20 dBm $P_{OUT}$		-45		dBm
	H3 <sub>915</sub>	3 次谐波 +20 dBm $P_{OUT}$		-73		dBm
$F_{RF} = 315$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>315</sub>	2 次谐波 +13 dBm $P_{OUT}$		/		dBm
	H3 <sub>315</sub>	3 次谐波 +13 dBm $P_{OUT}$		/		dBm
$F_{RF} = 433$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>433</sub>	2 次谐波 +13 dBm $P_{OUT}$		-56		dBm
	H3 <sub>433</sub>	3 次谐波 +13 dBm $P_{OUT}$		-64		dBm
$F_{RF} = 868$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>868</sub>	2 次谐波 +13 dBm $P_{OUT}$		-58		dBm
	H3 <sub>868</sub>	3 次谐波 +13 dBm $P_{OUT}$		-98		dBm
$F_{RF} = 915$ MHz的谐波输出 <sup>[1]</sup>	H2 <sub>915</sub>	2 次谐波 +13 dBm $P_{OUT}$		-58		dBm
	H3 <sub>915</sub>	3 次谐波 +13 dBm $P_{OUT}$		-98		dBm
<b>备注:</b> [1]. 谐波指标主要取决于硬件电路匹配优劣, 上面参数基于 ZTG1323B-EM 测试得出。						

## 1.6 频率综合器

**表 1-6. 频率综合器规格**

参数	符号	条件	最小	典型	最大	参数
频率范围	$F_{RF}$	需要不同的匹配网络	675		960	MHz
			338		640	MHz
			113		320	MHz
频偏设置范围	$F_{DEV\_RNG}^{[1]}$	675 至 960 MHz		600		kHz
		450 至 640 MHz		400		kHz



参数	符号	条件	最小	典型	最大	参数
		338 至 450 MHz		300		kHz
		225 至 320 MHz		200		kHz
		169 至 225 MHz		150		kHz
		135 至 169 MHz		120		kHz
		113 至 135 MHz		100		kHz
综合器频率分辨率	$F_{RES}$			60		Hz
频率调谐时间	$t_{TUNE}$			60		us
相位噪声@ 433 MHz	PN <sub>433</sub>	10 kHz 频率偏移		-101		dBc/Hz
		100 kHz 频率偏移		-114		dBc/Hz
		1MHz 频率偏移		-129		dBc/Hz
		10 MHz 频率偏移		-134		dBc/Hz
相位噪声@ 868 MHz	PN <sub>868</sub>	10 kHz 频率偏移		-100		dBc/Hz
		100 kHz 频率偏移		-109		dBc/Hz
		1MHz 频率偏移		-126		dBc/Hz
		10 MHz 频率偏移		-129		dBc/Hz

备注: [1]. 2FSK 与 4FSK 的  $F_{DEV}$  指中心频点左右两最外侧的频点到中心频点的频率偏差。

## 1.7 稳定时间

表 1-7. 稳定时间

参数	符号	条件	最小	典型	最大	参数	
稳定时间	$T_{SLP-RX}$	从 Sleep 到 RX		660		us	
	$T_{SLP-TX}$	从 Sleep 到 TX		660		us	
	$T_{RDY-RX}$	从 Ready 到 RX		160		us	
	$T_{RDY-TX}$	从 Ready 到 TX		160		us	
	$T_{RFS-RX}$	从 RFS 到 RX		16		us	
	$T_{TFS-RX}$	从 TFS 到 TX		16		us	
	$T_{TX-RX}$	从 TX 到 RX (Ramp Down 需要 $2T_{symbol}$ 的时间)			$2T_{symbol} + 168$		us
	$T_{RX-TX}$	从 RX 到 TX			220		us

备注: [1].  $T_{SLP-RX}$  和  $T_{SLP-TX}$  的时间主要取决于晶体起振, 这个与晶体本身有主要关系。

## 1.8 晶体

**表 1-8. 晶体规格**

参数	符号	条件	最小	典型	最大	参数
晶体频率 <sup>[1]</sup>	$F_{XTAL}$			32		MHz
晶体频率容差 <sup>[2]</sup>	$ppm_{XTAL}$		0	10	100	ppm
负载电容	$C_{LOAD\_XTAL}$			15		pF
晶体等效电阻	$R_{mXTAL}$			60		$\Omega$
晶体启动时间 <sup>[3]</sup>	$t_{XTAL}$			200		us
<b>备注:</b>						
[1]. ZTG1323B 可以直接用外部参考时钟通过耦合电容驱动 XIN 管脚工作。外部时钟信号的峰峰值要求在 0.3 到 0.7 V 之间。						
[2]. 该值包括 (1) 初始误差; (2) 晶体负载; (3) 老化; 和(4) 随温度的改变。可接受的晶体频率误差受限于接收机的带宽和与之搭配的发射器之间射频频率偏差。						
[3]. 该参数很大程度上与晶体相关。						

## 1.9 低频 RC 振荡器

**表 1-9. 低频振荡器规格**

参数	符号	条件	最小	典型	最大	参数
校准频率 <sup>[1]</sup>	$F_{LPOSC}$			32		kHz
频率精确度		校准以后		$\pm 1$		%
温度系数 <sup>[2]</sup>				-0.02		%/°C
电源电压系数 <sup>[3]</sup>				+0.5		%/V
初始校准时间	$t_{LPOSC-CAL}$			4		ms
<b>备注:</b>						
[1]. 低频 RC 振荡器在 Power UP 阶段自动校准。						
[2]. 校准后频率随着温度变化的漂移。						
[3]. 校准后频率随着电源电压改变而漂移。						

## 1.10 低电压检测

**表 1-11. 低电压检测规格**

参数	符号	条件	最小	典型	最大	参数
低电压检测精度	LBD <sub>RES</sub>			50		mV

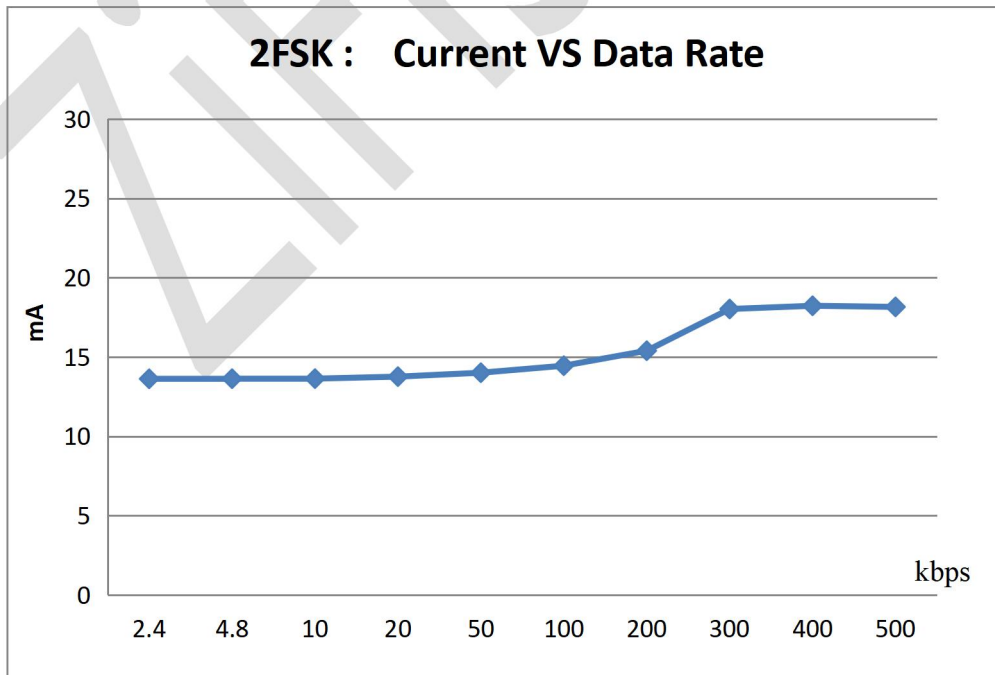
## 1.11 数字接口

**表 1-12. 数字接口规格**

参数	符号	条件	最小	典型	最大	参数
数字信号输入高电平	V <sub>IH</sub>		V <sub>DD</sub> -0.4			V
数字信号输入低电平	V <sub>IL</sub>				0.2	V <sub>DD</sub>
数字信号输出高电平	V <sub>OH</sub>	@I <sub>OH</sub> = -0.5mA	V <sub>DD</sub> -0.4			V
数字信号输出低电平	V <sub>OL</sub>	@I <sub>OL</sub> = 0.5mA			0.4	V
SCLK 频率	F <sub>SCL</sub>				10	MHz
SCLK 为高时间	T <sub>CH</sub>		50			ns
SCLK 为低时间	T <sub>CL</sub>		50			ns
SCLK 上升沿时间	T <sub>CR</sub>			10		ns
SCLK 下降沿时间	T <sub>CF</sub>			10		ns

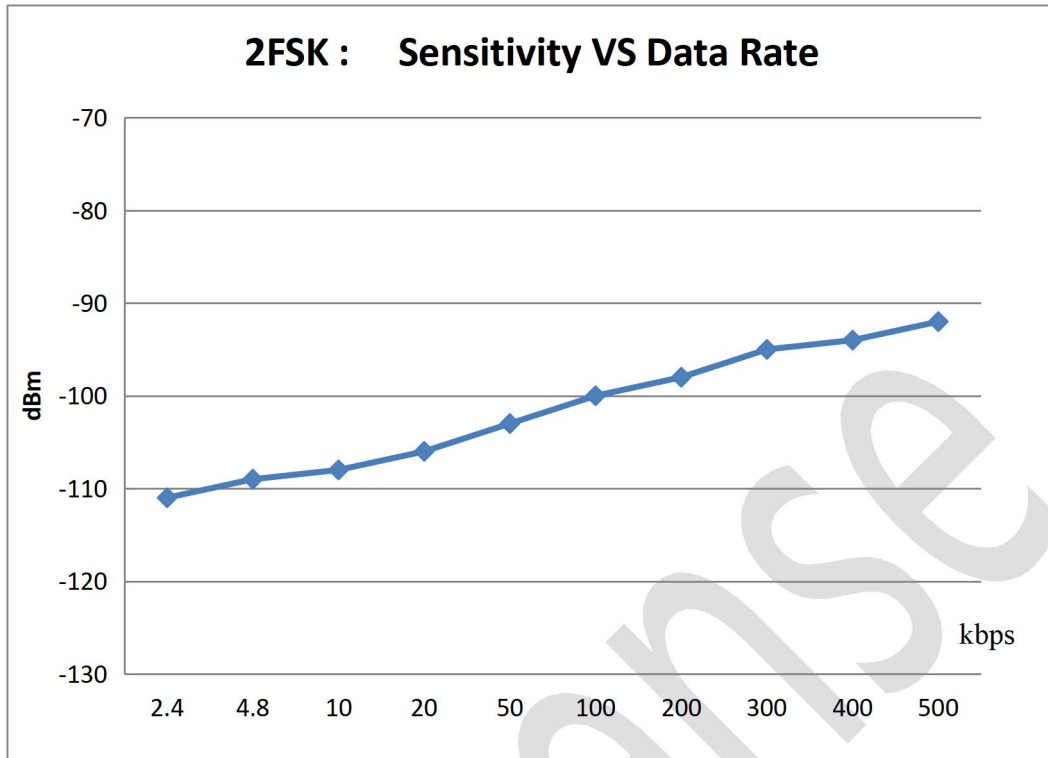
## 1.12 典型参数图表

### 1.12.1 接收电流与数据率



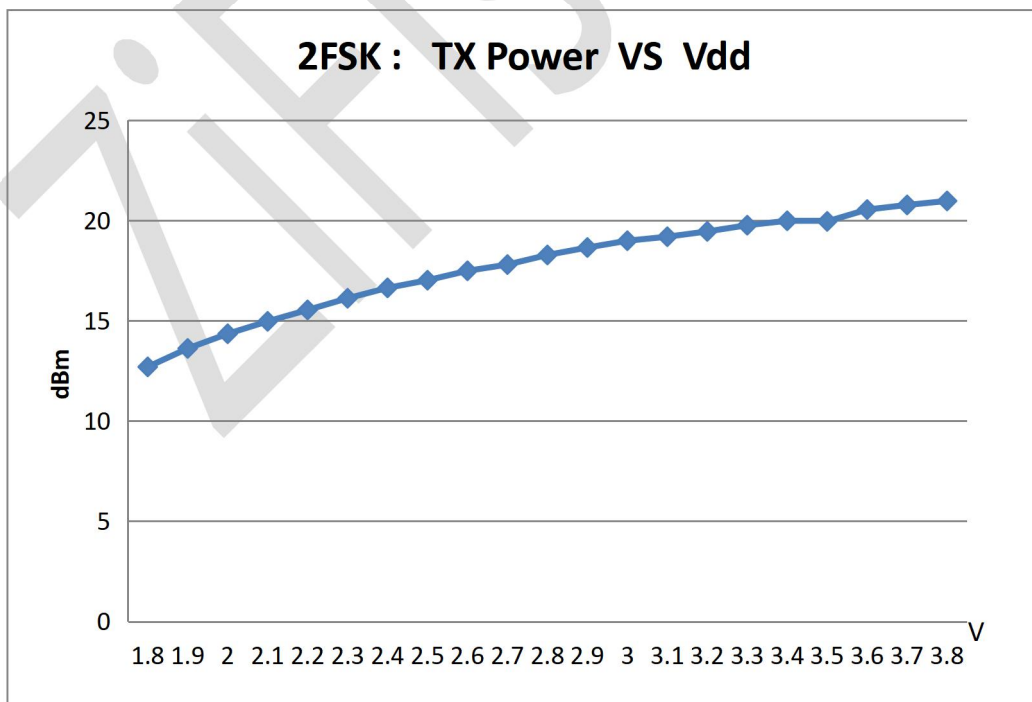
测试条件: Freq = 434MHz, ppm = 10

1.12.2 接收灵敏度与数据率



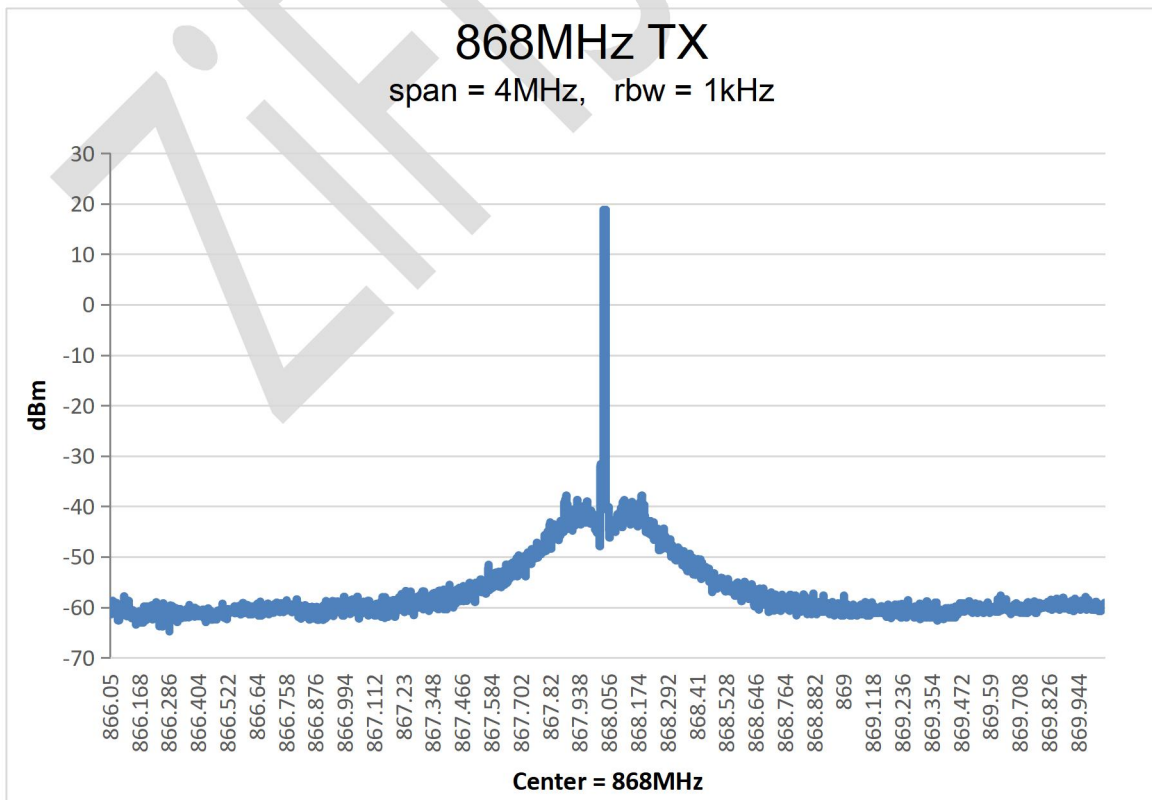
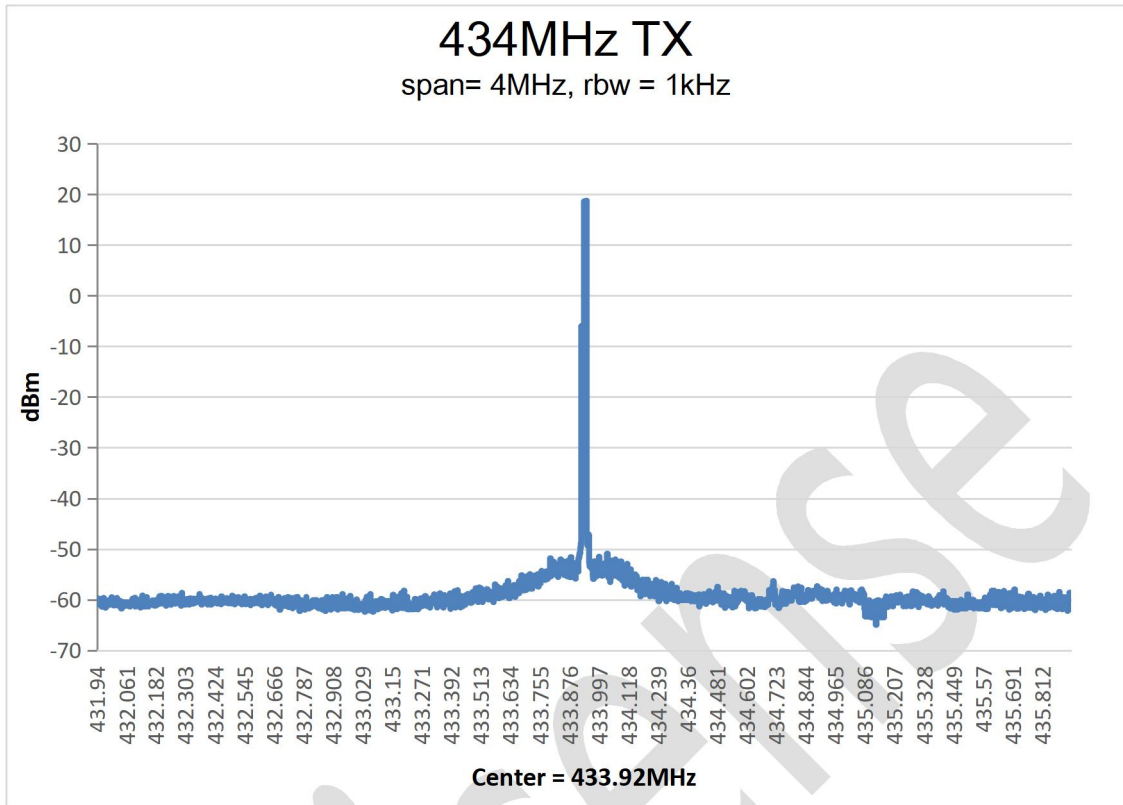
测试条件: Freq = 434MHz, ppm = 10, BER <=0.1%

1.12.3 发射功率与供电电压



测试条件: Freq = 434MHz, 20dBm 匹配网络, 3.3V 下 20dBm 发射功率

1.12.4 发射相位噪声



## 2. 管脚描述

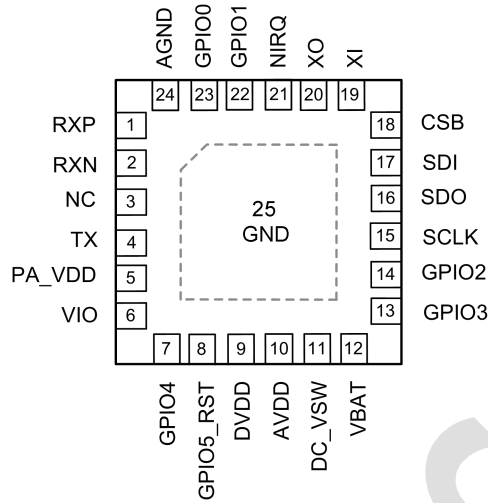


图 2-1. ZTG1323B 管脚排列

表 2-1.ZTG1323B 管脚描述

管脚号	名称	I/O	功能说明
1	RFP	I	RF 信号输入 P
2	RFN	I	RF 信号输入 N
3	NC	IO	悬空
4	TX	O	PA 输出
5	PA_VDD	IO	PA VDD
6	VIO	IO	IO VDD
7	GPIO4	IO	可配置，具体请参见表 5-2. ZTG1323B GPIO。
8	GPIO5_RST	IO	可配置，具体请参见表 5-2 ZTG1323B GPIO。
9	DVDD	I	数字 VDD
10	AVDD	I	模拟 VDD
11	DC_VSW	I	DCDC
12	VBAT	I	模拟 VDD
13	GPIO3	IO	可配置，具体请参见表 5-2. ZTG1323B GPIO。
14	GPIO2	IO	可配置，具体请参见表 5-2. ZTG1323B GPIO。
15	SCLK	I	SPI 的时钟
16	SDO	O	SPI 的数据输出
17	SDI	I	SPI 的数据输入
18	CSB	I	SPI 的片选输入
19	XI	I	晶体电路输入
20	XO	O	晶体电路输出
21	NIRQ	I	可配置，具体请参见表 5-2 ZTG1323B GPIO。
22	GPIO1	IO	可配置，具体请参见表 5-2. ZTG1323B GPIO。
23	GPIO0	IO	可配置，具体请参见表 5-2. ZTG1323B GPIO。
24	AGND	I	模拟 GND
25	GND	I	底板 GND

### 3. 典型应用原理图

#### 3.1 直接 (Direct Tie) 原理图

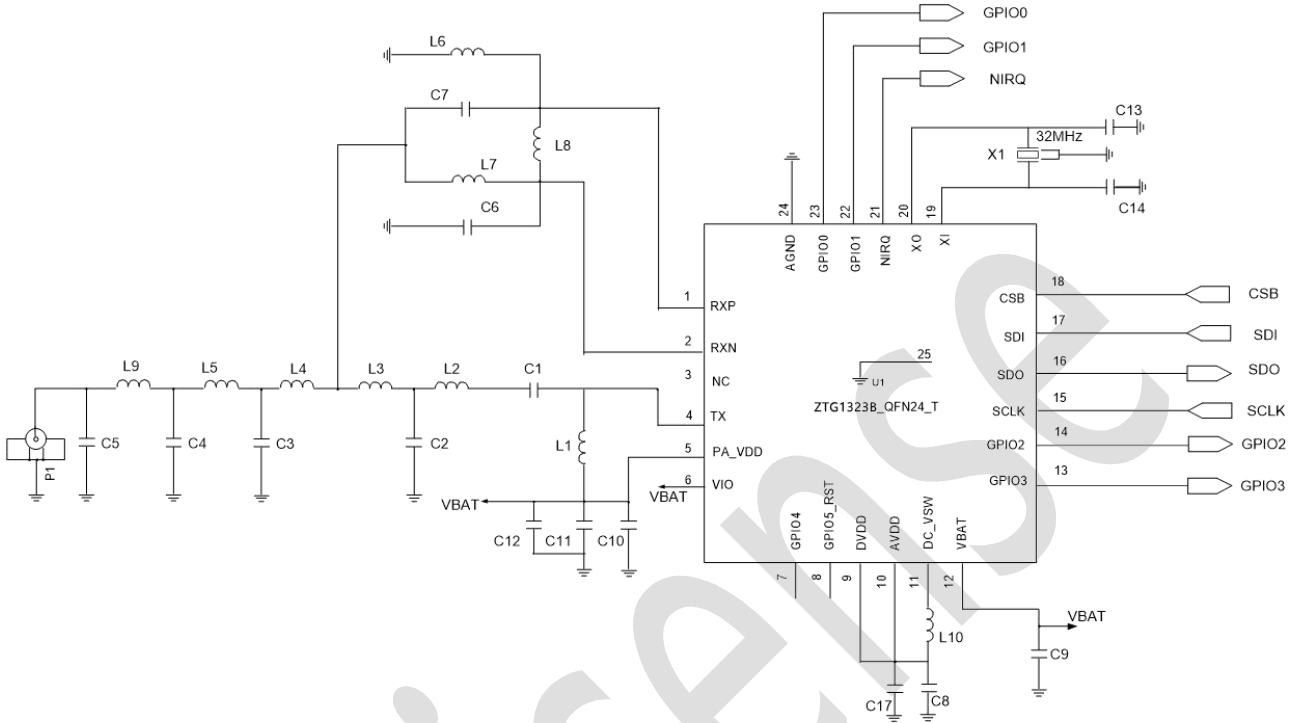


图 3-1. 直连 (Direct Tie) 典型应用原理图 (使能 DCDC)

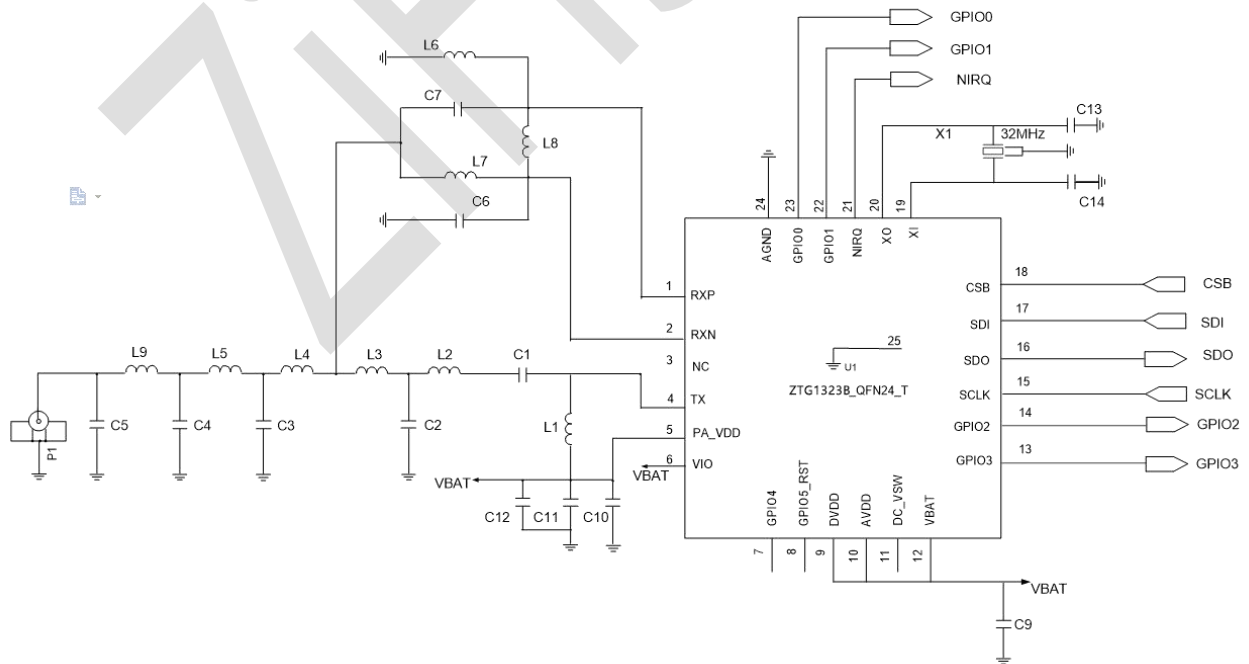


图 3-2. 直连 (Direct Tie) 典型应用原理图 (不使能 DCDC)

表 3-1. 20dBm 直连 (Direct Tie) 典型应用物料清单

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C1	±5%, 0402 NP0, 50 V	22	10	12	12	pF	
C2	±5%, 0402 NP0, 50 V	6.8	5.6	3.3	3.3	pF	
C3	±5%, 0402 NP0, 50 V	8.2	6.2	3.0	3.0	pF	
C4	±5%, 0402 NP0, 50 V	8.2	NC	NC	NC	pF	
C5	±5%, 0402 NP0, 50 V	NC	NC	NC	NC	pF	
C6	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C7	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	nF	
C8	±5%, 0603 NP0, 50 V	2.2				uF	
C9	±5%, 0402 NP0, 50 V	1				uF	
C10	±5%, 0402 NP0, 50 V	220				pF	
C11	±5%, 0402 NP0, 50 V	100				nF	
C12	±5%, 0603 NP0, 50 V	4.7				uF	
C13	±5%, 0402 NP0, 50 V	NC				pF	
C14	±5%, 0402 NP0, 50 V	NC				pF	
C17	±5%, 0402 NP0, 50 V	100				nF	
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感,	68	47	15	12	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	56	39	15	12	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	33	33	6.2	6.2	nH	Sunlord
L5	±5%, 0603 叠层贴片电感	47	33	6.2	6.2	nH	Sunlord
L6	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord
L7	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord
L8	±5%, 0603 叠层贴片电感	220	180	33	33	nH	Sunlord
L9	±5%, 0603 叠层贴片电感	33	NC	NC	NC	nH	Sunlord
L10		10				uH	
X1	±10 ppm, SMD	32				MHz	EPSON
U1	ZTG1323B 射频收发器					-	CMOSTEK



表 3-2. 13dBm 直连 (Direct Tie) 典型应用物料清单

标号	描述	元件值				单位	供应商
		315 MHz +13 dBm	433 MHz +13 dBm	868 MHz +13 dBm	915 MHz +13 dBm		
C1	±5%, 0402 NP0, 50 V	8.2	18	15	15	pF	
C2	±5%, 0402 NP0, 50 V	2.7	5.6	3.9	4.3	pF	
C3	±5%, 0402 NP0, 50 V	8.2	6.8	3.3	3.0	pF	
C4	±5%, 0402 NP0, 50 V	8.2	NC	NC	NC	pF	
C5	±5%, 0402 NP0, 50 V	NC	NC	NC	NC	pF	
C6	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C7	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	nF	
C8	±5%, 0603 NP0, 50 V	2.2				uF	
C9	±5%, 0402 NP0, 50 V	1				uF	
C10	±5%, 0402 NP0, 50 V	220				pF	
C11	±5%, 0402 NP0, 50 V	100				nF	
C12	±5%, 0603 NP0, 50 V	4.7				uF	
C13	±5%, 0402 NP0, 50 V	NC				pF	
C14	±5%, 0402 NP0, 50 V	NC				pF	
C17	±5%, 0402 NP0, 50 V	100				nF	
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感,	56	56	15	12	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	10	47	15	12	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	27	15	8.2	8.2	nH	Sunlord
L5	±5%, 0603 叠层贴片电感	47	15	8.2	8.2	nH	Sunlord
L6	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord
L7	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord
L8	±5%, 0603 叠层贴片电感	220	180	33	33	nH	Sunlord
L9	±5%, 0603 叠层贴片电感	27	NC	NC	NC	nH	Sunlord
L10		10				uH	
X1	±10 ppm, SMD	32				MHz	EPSON
U1	ZTG1323B 射频收发器					-	CMOSTEK

## 4. 功能描述

ZTG1323B 是一款数字模拟一体化收发机产品。该产品采用 32MHz 的晶体提供 PLL 的参考频率和数字时钟，同时支持 OOK,2(G)FSK 和 4(G)FSK 的调制解调模式，并支持 Direct 和 Packet 两种数据处理模式。

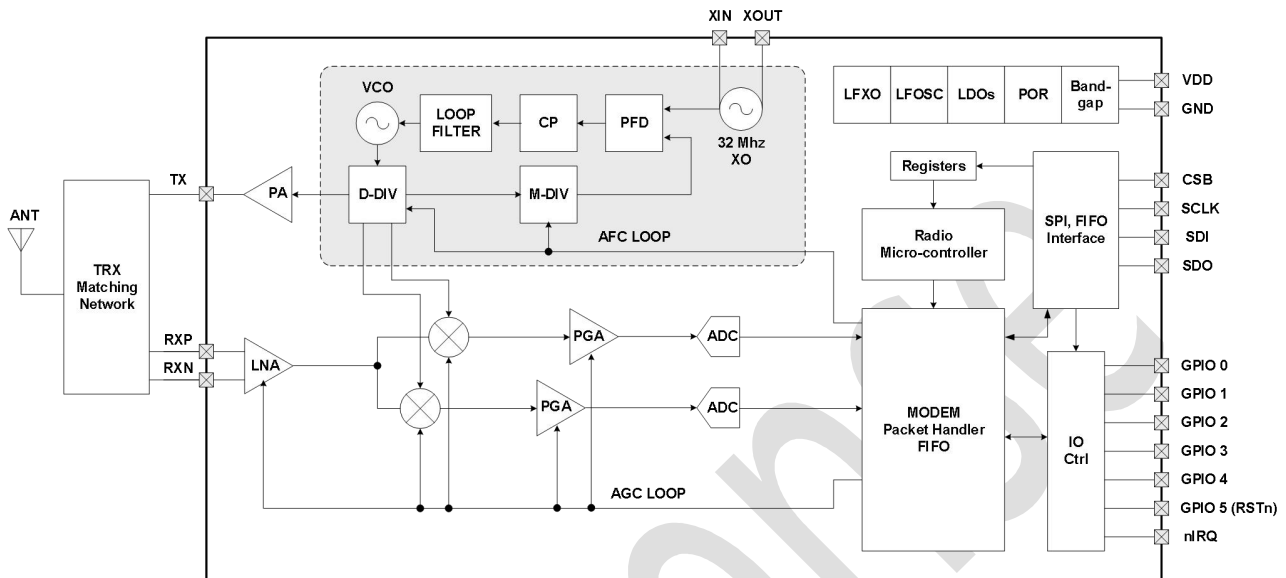


图 4-1. 系统功能框图

该芯片采用了 LNA+MXR+PGA+ADC+PLL 的低中频结构实现 1GHz 以下频率的无线接收功能；采用 PLL+PA 结构实现 1GHz 以下频率的无线发射功能。ZTG1323B 不需要额外增加射频开关器件，就能达到优秀的发射接收射频性能。

在接收机系统内，模拟电路负责将射频信号下混频至中频，并通过 ADC 模块做对中频信号数模转换处理，输出 I/Q 两路信号到数字电路做后续的数字解调。数字电路负责将中频信号下混频到零频（基带）并进行一系列滤波和判决处理，同时进行 AFC 和 AGC 动态地控制模拟电路，最后将原始信号解调出来。信号解调出来之后，会送到解码器进行解码并填入 FIFO，或者直接输出到 GPIO。

在发射机系统内，数字电路会对数据进行编码打包处理，并将处理后的数据送到调制器（也可不经过编码打包，直接送到调制器），调制器会直接控制 PLL 和 PA，对数据进行 2(G)FSK, 4(G)FSK, OOK 或者 Advanced M-FSK 调制并发射出去。

芯片内部有一个小型的微控制器（只限于原厂内部编程），该控制器负责调度芯片的各种运作，包括支持丰富的无线收发处理，例如自动 ACK，自动跳频，DUTY-CYCLE 低功耗收发，CSMA 等特色功能。

芯片提供了 SPI 通讯接口，外部的 MCU 可以通过访问寄存器的方式来对芯片的各种功能进行配置，控制主芯片，并访问 FIFO。

## 4.1 发射机

ZTG1323B 发射器是基于射频频率直接综合的发射器。其载波频率是由一个低噪声小数分频频率综合器产生。调制数据由一个高效的单端功率放大器（PA）发射出去。输出功率可以通过寄存器读写，以 1dB 的步进从-10dBm 配置到+20dBm。

在 OOK 模式下，当 PA 根据发射数据快速开关时，容易引起载波附近产生频谱的杂散和毛刺。通过缓慢升降（Ramping）机制，可以把这些杂散和毛刺减到最小。在 FSK 模式下，ZTG1323B 支持信号经过高斯滤波后才发射，即 GFSK，让发射频谱更为集中。

根据不同的应用需求，用户可以设计一个 PA 匹配网络在所需的输出功率底下优化发射效率。典型应用原理图和所需的 BOM 陈述与第三章“典型应用原理图”。

发射器可工作在直通模式和包模式下。在直通模式下，待发射的数据直接通过芯片的 DIN 管脚送入芯片，并直接发射。在包模式下，数据可以在 STBY 状态下预先装入芯片的 FIFO 中，再配合其他的包元素一起发射出去。在 4FSK 模式下只支持从 FIFO 中发射数据。

## 4.2 接收机

ZTG1323B 内建一个超低功耗，高性能低中频 OOK, FSK 接收器。天线感应进来的射频信号，通过低噪声放大器放大以后，通过正交混频器下变频至中频，可编程放大器把信号进一步放大，再通过模数转换器送入数字域，做数字解调处理。在上电复位（POR）的时候每一个模拟模块都会被校准到内部的参考电压。这使得芯片能更好的工作在不同的温度和电压底下。基带滤波和解调由数字解调器完成。当芯片工作在有强带外干扰的环境时，通过自动增益控制环路调节系统的增益，可以获得最佳的系统线性度，选择性，灵敏度等性能。

沿用 CMOSTEK 的低功耗设计技术，当接收器常开时仅消耗非常低的功耗。它的周期运行模式和空中唤醒功能可以在对功耗有严格要求的应用中进一步降低系统的平均功耗。

与发射器类似，ZTG1323B 接收器可以工作于直通模式和包模式。在直通模式下，解调器输出的数据可以通过芯片的 DOUT 管脚直接输出。DOUT 可以由 GPIO 配置而成。在包模式下，解调器的数据输出先送至数据包处理器当中解码，然后填入 FIFO 中，再由 MCU 通过 SPI 接口对 FIFO 进行读取。

## 4.3 辅助功能

### 4.3.1 上电复位（POR）

上电复位电路辅助探测电源变化，并产生相应的复位信号来复位整个 ZTG1323B 的系统。当 POR 过后，MCU 需要对 ZTG1323B 进行重新初始化配置。有两种情况会让 POR 产生复位。

第一种情况是短暂的电源突变导致 POR 产生复位。触发的条件是，VDD 在小于 2 us 的时间内骤降  $0.9V \pm 20\%$ （即  $0.72V - 1.08V$ ），注意，它监测的是 VDD 的降幅，而不是 VDD 的绝对值。如下图所示：

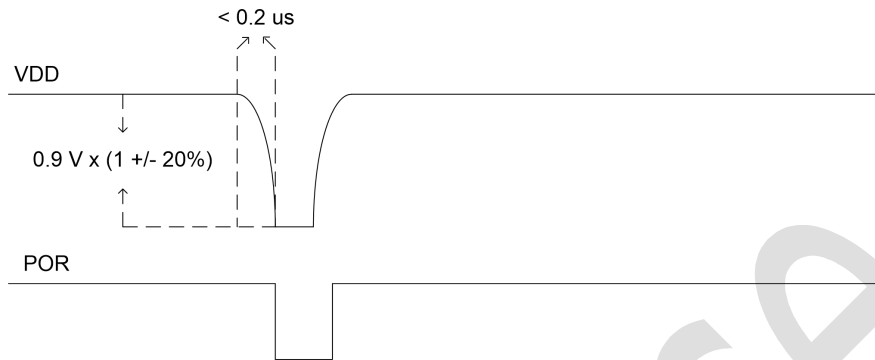


图 4-2.迅速下降导致 POR 复位

第二种情况是缓慢的电源下降。触发的条件是，VDD 在大于等于 2 us 的时间内下降到  $1.45V \pm 20\%$ （即  $1.16V - 1.74V$ ），注意，它监测的是 VDD 的绝对值，而不是 VDD 的降幅。如下图所示：

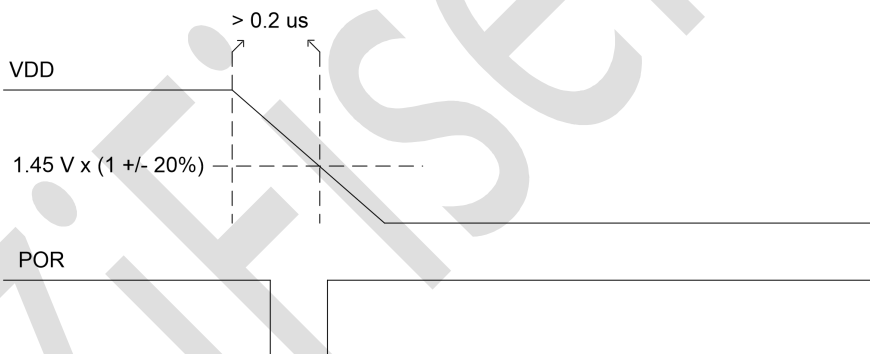


图 4-3.缓慢下降导致 POR 复位

### 4.3.2 晶体振荡器

晶体振荡器用于为锁相环提供基准时钟，为数字模块提供系统时钟。XI 与 XO 之间的差分负载电容等于  $C_L$ ， $C_L$  应该与晶体要求的负载电容值匹配，以使晶体准确振荡在 32 MHz。

$$C_L = \frac{C_{onchip} + C_{off\_chip} + C_{par}}{2}$$

$C_{onchip}$  为 ZTG1323B 内部提供给晶体两端分别对地挂接的负载电容，可通过 RFPDK 上的 Xtal Cap Load 配置可调范围为 23~29pF，步进约 190fF。 $C_{offchip}$  为外部挂接晶体两端到地的负载电容，由客户选择是否增加。 $C_{par}$  为晶体两端分别到地的寄生电容，约为 2~6pF。这里推荐用户使用 15pF 负载的晶体振

荡器与 ZTG1323B 搭配使用。另外，晶体的 ppm 越低，对接收机性能越好。

### 4.3.3 温度补偿晶体振荡器 (TCXO)

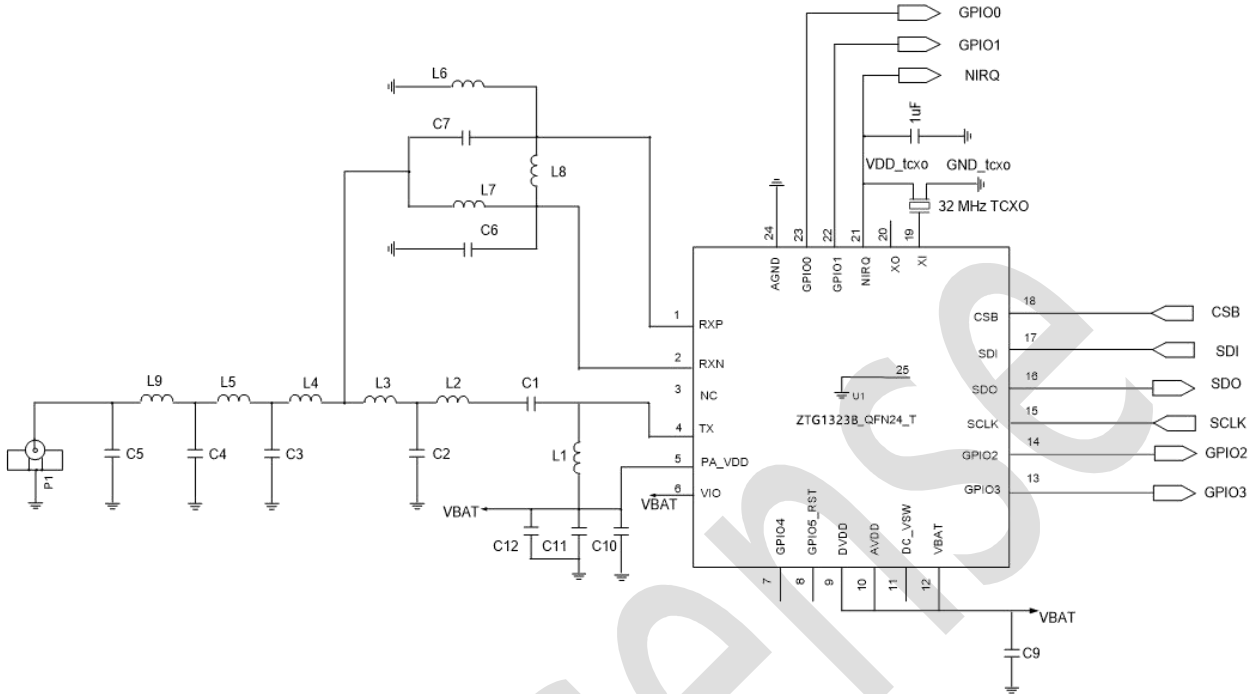


图 4-4.使用 TCXO 震荡器的系统应用原理图

ZTG1323B 允许用户使用外部时钟模块，如温度补偿晶体振荡器(TCXO)。应用原理图如上图所示，TCXO 的 VDD pin 由 ZTG1323B 的 NIRQ pin 连接提供电源，这里设置 NIRQ\_SEL 为 4，在 RFPDK 上的 Output Drive Capability 设为 4mA，并在 NIRQ PIN 上增加一个 1uF 的滤波电容便能达到很好的使用效果。TCXO 的 32MHz 时钟直接连接输出到 XI pin。在 IDLE 和 SLEEP 状态下，系统会关闭 TCXO，在其他状态下打开 TCXO。

此时钟信号推荐峰峰值在 300mV 到 700mV 之间，用户可以在 XI pin 增加隔直电容和到地电容，通过调整这两个电容比例大小达到调整输入时钟幅度的效果。TCXO 的使用大概会使整机电流增加 1.5~2.0mA，精确的时钟(<2ppm) 使得 ZTG1323B 能使用更窄的接收带宽，获得更好的灵敏度与抗带外干扰的性能。

### 4.3.4 睡眠计时器

ZTG1323B 集成了一个由 32 kHz 低功耗振荡器 (LPOSC)。当该功能使能时，该计时器周期性的将芯片从睡眠中唤醒。当芯片工作于周期运行模式时，睡眠时间可以配置从 62.5us 至 8585740.288 s。由于低功耗振荡器的频率会随着温度和电压的改变而漂移，它会在上电阶段自动校准，并且会被周期性的校准。这些校准会使得该振荡器的频率容差保持在±1%以内。

### 4.3.5 低电压检测

芯片设置了低电压检测的功能。每当芯片调谐到某个频率时，该检测就会进行一次。当芯片从

SLEEP/READY 状态跳转到 RFS/TFS/TX/RX 状态时都会进行频率调谐。检测结果可以通过 LBD\_DATA 寄存器读取。

ZiFiSense

#### 4.3.6 接收信号强度指示器 (RSSI)

RSSI 用于评估调谐的信道内的信号的强度,检测范围-127dBm 到 20dBm。用户可以通过配置 RFPDK 里的 RSSI Detect Mode 来选择是实时输出 RSSI 值,还是在接收数据包的各个阶段锁存 RSSI 的值。

ZTG1323B 允许用户在 RFPDK 设置检测门限 RSSI Compare TH, 此值与检测到的 RSSI 值进行对比, 如果 RSSI 检测值大于门限就输出 1, 否则输出 0。对比的结果可以输出到 RSSI VLD 中断, 也可以用于辅助内部超低功耗 (SLP) 模式的运作。

#### 4.3.7 相位跳变检测 (PJD)

PJD 是指 Phase Jump Detector, 即相位跳变检测器。在芯片进行 2-FSK 解调的时候, 可用于通过观察接收信号的跳变特性, 来识别接收的是噪声还是有用信号。OOK 和 4-FSK 解调并不支持该功能。

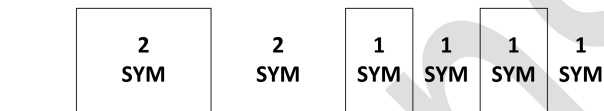


图 4-5.接收信号跳变图

PJD 认为输入信号从 0 到 1 或者从 1 到 0 切换就是一次相位跳变, 用户仅仅需要去配置 PJD\_WIN\_SEL<1:0>, 来告诉 PJD 需要检测多少次信号跳变才能输出判断结果。如果上图所示, 一共接收了 8 个 symbol, 但是跳变只出现了 6 次, 因此跳变数并不能等同于 symbol 数量。只有在接收 preamble 时, 跳变数才等同于 symbol 数。总的来说, PJD 跳变次数越多, 判断结果越可靠; 越少, 就越快完成。如果接收的时间窗口很小, 那么就需要将检测次数减少来满足窗口设置的要求。一般来说, 跳变次数是 4 次就已经可以达到比较可靠的检测效果, 即不会将噪声误判为有用信号, 有用信号来的时候不会检测不到。

监测信号跳变, 实质上就是监测信号是否符合预期的数据率。在监测跳变的同时, PJD 还会在内部自动监测信号的 Deviation 是否符合约定的有效信号的值, 同时会判断 SNR 是否超过 7dB。然后综合数据率, Deviation 和 SNR 的监测结果, 如果确定接收到的是可靠的信号, 那么就会输出 1; 如果是噪声或者干扰信号, 就会输出 0。这个结果可以通过配置输出到 RSSI VLD 中断, 也可以输出到内部辅助超低功耗 (SLP) 接收模式的实现。在直通模式下, 通过将 DOUT\_MUTE 寄存器设为 1, 还可以利用 PJD 来实现 FSK 解调输出静音。

PJD 技术类似于传统的载波检测 (CS) 技术, 但比 CS 更为可靠。当用户将 RSSI 监测和 PJD 技术结合起来, 即可非常准确地识别当前信道的空闲状态。



#### 4.3.8 自动频率控制 (AFC)

AFC 功能可以帮助接收机在接收信号的时候, 用很短的时间就能去除 TX 和 RX 之间的频率差异, 以达到更高的灵敏度。ZTG1323B 具有业内顶尖的 AFC 性能, 相比起其它同类型产品, 在相同的带宽下, ZTG1323B 可以识别出更大的频率差别, 并能够在更短的时间 (8-10 个 symbol) 内将频率偏差去除。

由于 TX 和 RX 之间的频率差异通常是由两者所用晶体的频率偏差导致的, ZTG1323B 允许用户通过 RFPDK 配置 TX 和 RX 使用晶体的容差值 (单位是 PPM), 并根据这个容差值配置好 AFC 的探测范围, 同时保证接收机使用尽可能窄的带宽。由于 AFC 的出色性能, 由晶体老化导致的频率偏差随着时间变大的问题也得到更好的解决, ZTG1323B 能够支持更长时间或更为严重的晶体老化, 延长产品使用寿命。

#### 4.3.9 数据率时钟恢复 (CDR)

CDR 系统的基本任务是在接收数据的同时, 恢复出与数据率同步的时钟信号, 既在芯片内部用于解码, 也可以输出到 GPIO 给用户用于采样数据。所以, CDR 的任务很简单而重要, 如果恢复出来的时钟频率跟实际传输的数据率有误差, 就会在接收时造成数据采集错误, 出现误码, 以及解码出错。

ZTG1323B 接收机支持三种 CDR 系统, 分别支持不同的应用需求:

- **COUNTING 系统** – 此系统是针对数据率对得比较准的情况设计的, 如果数据率是 100%对准, 可以连续接收无限个长 0 均不会出错。
- **TRACING 系统** – 此系统是针对数据率偏差比较大的情况设计的, 它具有追踪功能, 可以自动探测出 TX 发射过来的数据率, 并同时快速地调整 RX 本地的数据率, 尽量减小两者之间的误差。这个系统可以承受的范围可以大至 15.6%, 这是业界其它同类产品无法做到的。
- **MANCHESTER 系统** – 此系统是有 COUNTER 系统变化而来, 基本特性是一样的, 唯一的区别是, 该系统专门为了曼切斯特编解码而设计, 在 TX 数据率有突发变化的情况下, 可以做特殊处理, 能够正确识别突变的信号部分。

#### 4.3.10 快速手动跳频

手动跳频指的是, 基于使用 RRPDK 配置得到的基础频点, 例如 433.92MHz, 在应用过程当中, 用 MCU 通过简单地设置 1 到 2 个寄存器, 就可以快速地切换到另一个频点。在多信道的应用中, 简化了用户不停切换新的频点的操作。

$$\text{FREQ} = \text{基础频点} + 1 \text{ kHz} \times \text{FREQ\_SPACE} \langle 7:0 \rangle \times \text{FREQ\_CHANNEL\_MANU} \langle 7:0 \rangle$$

一般来说, 用户可以先在上电初始化配置的阶段, 将 FREQ\_SPACE<7:0>设置好, 然后在应用中通过不停地改动 FREQ\_CHANNEL\_MANU<7:0>来切换频道即可。



## 5. 芯片操作机制

### 5.1 SPI 接口

#### 5.1.1 读写寄存器操作

芯片是通过 4-线 SPI 口与外部进行通信的。SPI 默认是 4 线的，在上电后可配置成 3 线。低有效的 CSB 是用于访问寄存器的片选信号。SCLK 是串口时钟，最快速度可以到 10MHz。无论对于芯片本身，还是外部的 MCU，都是在 SCLK 的下降沿送出数据，在上升沿采集数据。SDI 用于数据输入，SDO 用于数据输出。在 3 线模式下，SDI 同时用于数据输入和输出，SDO 闲置。地址和数据部分都是从 MSB 开始传送。

当访问寄存器的时候，CSB 要拉低。然后首先发送一个 R/W 位，之后是 7 位的寄存器地址。外部 MCU 在拉低 CSB 之后，必须等待至少半个 SCLK 周期，才能开始发送 R/W 位。在 MCU 发送出最后一个 SCLK 的下降沿之后，必须等待至少半个 SCLK 周期，再把 CSB 拉高。

需要注意的是，对于图 5-2 的 4 线写寄存器操作，在 SDI 输入写数据的同时，SDO 会输出该寄存器当前的值（old register read data），MCU 可根据需要决定是否读取该值。

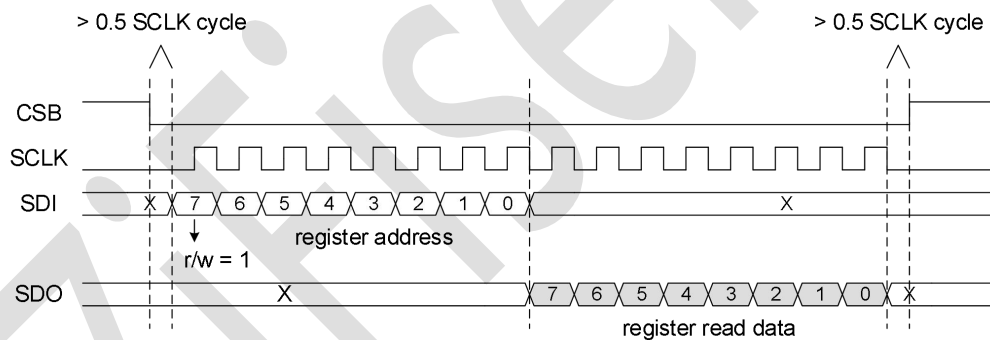


图 5-1. SPI（4 线）读寄存器时序

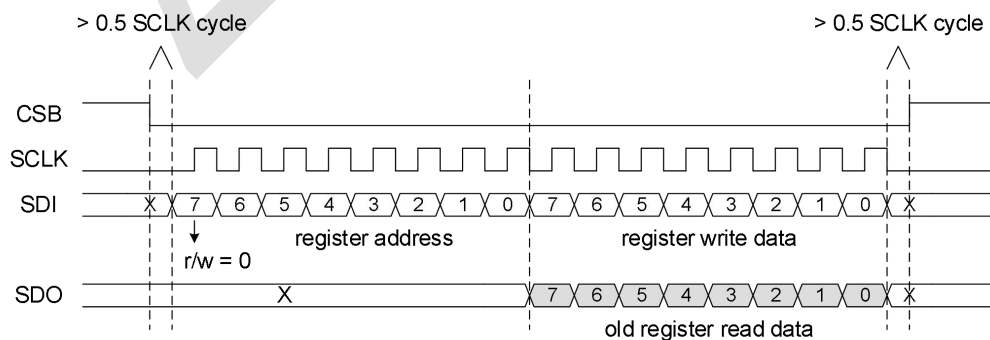


图 5-2. SPI（4 线）写寄存器时序

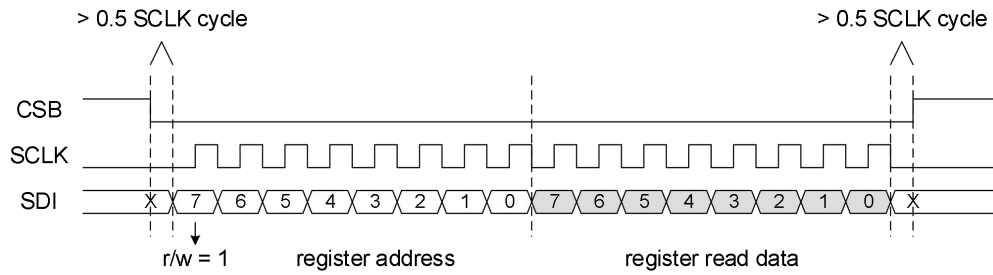


图 5-3. SPI（3 线）读寄存器时序

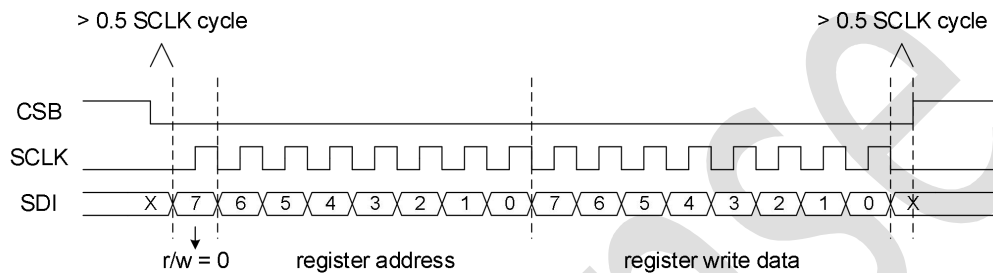


图 5-4. SPI（3 线）写寄存器时序

对于 3 线的读寄存器操作，MCU 和 ZTG1323B 都会在地址 0 和数据 7 之间产生切换 IO（SDIO）口的行为。此时 ZTG1323B 会将 IO 口从输入切换到输出，MCU 会将 IO 口从输出切换到输入。请注意中间虚线的位置，此时强烈建议 MCU 在送出 SCLK 的下降沿前，先将 IO 口切换为输入；ZTG1323B 在看到下降沿之后，才会将 IO 切换为输出。这就避免了两者的同时 SDIO 设为输出导致电气冲突的情况。对于某些 MCU 来说，这样的情况可能会导致其复位或出现其它异常行为。

### 5.1.2 批量（BURST）读写寄存器操作

除了上面陈述的单字节读写寄存器操作，SPI 还可以支持 Burst 读写寄存器的操作。BURST 读写操作以写入 Page 0 的 0x7B 地址 BRW\_PORT 来触发，当 r/w 比特为 0 时，会进行写寄存器操作，当为 1 时，会进行读寄存器操作。

BURST 读写也可使用 3 线 SPI 来操作；当使用 3 线时，读数据的输出和写数据的输入，都是在 SDI 管脚上进行。当使用 4 线时，写数据从 SDI 输入，读数据从 SDO 输出。BURST 读写的操作流程为，先访问 0x7B 地址的 BRW 操作端口，其中包含的读写位决定后面是写数据还是读数据操作。后面一直为读或者写的数据阶段，用户决定何时完成操作。

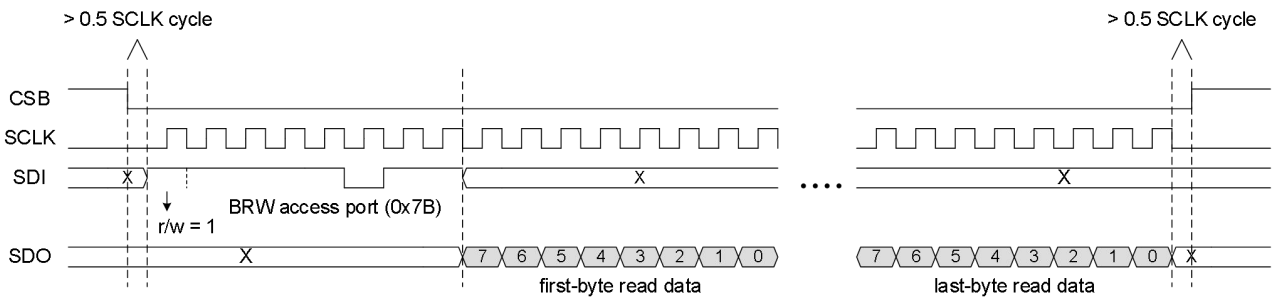


图 5-5. SPI (4 线) BURST 读时序

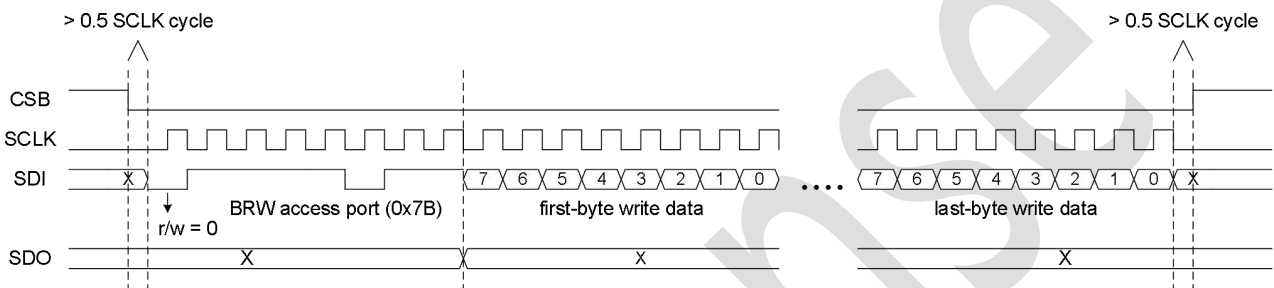


图 5-6. SPI (4 线) BURST 写时序

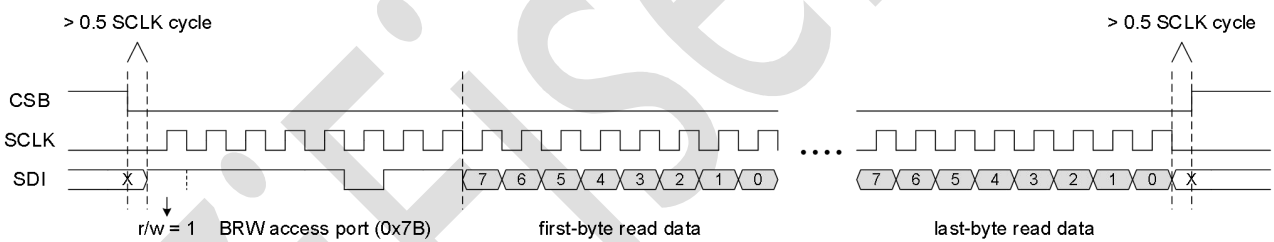


图 5-7. SPI (3 线) BURST 读时序

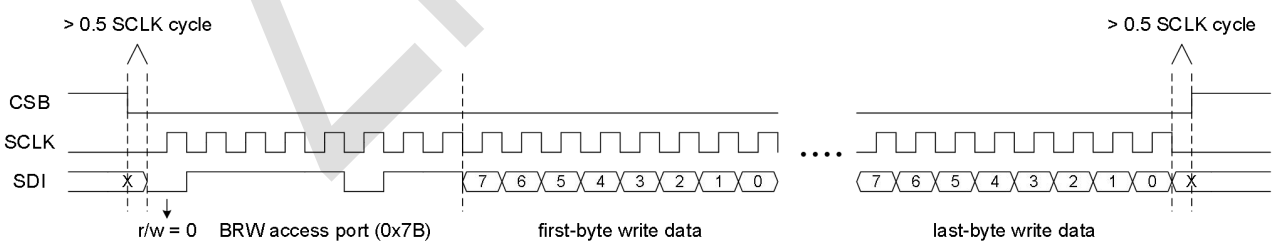


图 5-8. SPI (3 线) BURST 写时序

需要注意的是 BURST 读写不能跨越 Page，即一次 BURST 只能在一个 Page 中完成。下面列出了每个 Page 的可以进行 BURST 读写的最大地址范围：

PAGE	起始地址	结束地址	地址个数	说明
0	0x28	0x77	80	Page0 的配置寄存器
1	0x00	0x6F	112	Page1 的配置寄存器
2	0x00	0x3F	64	Page2 的跳频频道表

用户只能以对应 Page 的起始地址作为 SPI 填写的开始地址,进行 N 个地址的连续 BURST 读写操作, N 的取值为填写数量,不能超出对应的地址个数。BURST 读写的常用方式,是上电之前让用户进行快速的一次性配置,配置寄存器内容来源于 RFPDK 工具,跳频频道表的内容由用户自己设计。

## 5.2 FIFO

ZTG1323B 默认提供两个独立的 128-byte 的 FIFO,分别给 RX 和 TX 使用,两者相互独立。RX FIFO 用来在 RX 模式中存储接收数据, TX FIFO 用于 TX 模式中存储即将发射的数据。用户也可以将 FIFO\_MARGE\_EN 设成 1,那么两个 FIFO 就合成一个 256-byte 的 FIFO,在 TX 和 RX 下都可以使用,通过配置 FIFO\_RX\_TX\_SEL 来指示目前是用作 TX 还是 RX。如果没有使用合并,当 128 字节 RX FIFO 被填入时,用户可以同时为下一次发射填入 128 字节的 TX FIFO,以节省系统操作时间。

FIFO 可以通过 SPI 接口访问。用户可以通过设置 TX\_FIFO\_CLR/RX\_FIFO\_CLR 位来清空 FIFO。并且,用户可以通过设置 FIFO\_RESTORE 来重复发射之前填入的数据,无需重新填入数据。

用户可以通过配置 PD\_FIFO 来控制 FIFO 是否在 SLEEP 状态下保存内容。PD\_FIFO = 0 指 FIFO 可以在 SLEEP 状态下保存内容,但会消耗 200 nA 左右的漏电电流。

### 5.2.1 FIFO 读写时序

在 MCU 需要访问 FIFO 的时候,首先要将配置一些寄存器,来设置好 FIFO 的读/写模式,以及其它工作模式。下图给出的是确定模式后的读写时序图。FIFO 的操作以写入 Page 0 的 0x7A 地址来触发,当 r/w 比特为 0 时,会进行写 FIFO 操作,当为 1 时,会进行读 FIFO 操作。

FIFO 的读写也可以使用 3 线的 SPI 来操作,当使用 3 线时,读数据的输出和写数据的输入,均是在 SDI 管脚上进行。当使用 4 线时,写数据从 SDI 输入,读数据从 SDO 输出。FIFO 的操作流程是,先访问 0x7A 地址的 FIFO 操作端口,其中包含的读写位决定后面是写数据还是读数据操作。之后是持续读或者写的数据阶段,由用户决定何时完成操作。

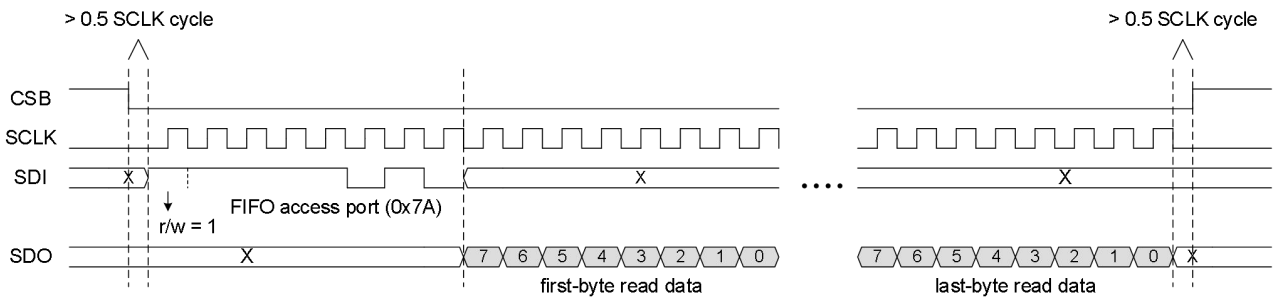


图 5-9. SPI (4 线) 读取 FIFO 时序

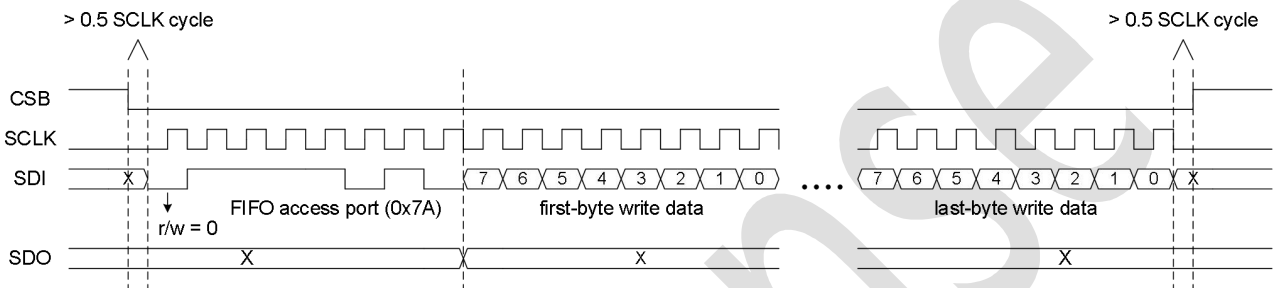


图 5-10. SPI (4 线) 写入 FIFO 时序

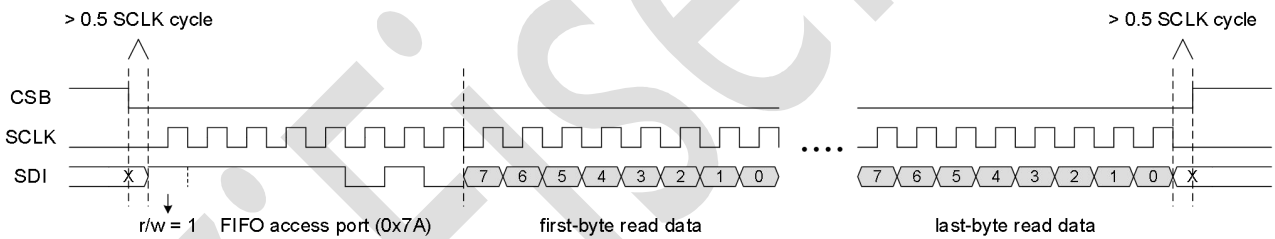


图 5-11. SPI (3 线) 读取 FIFO 时序

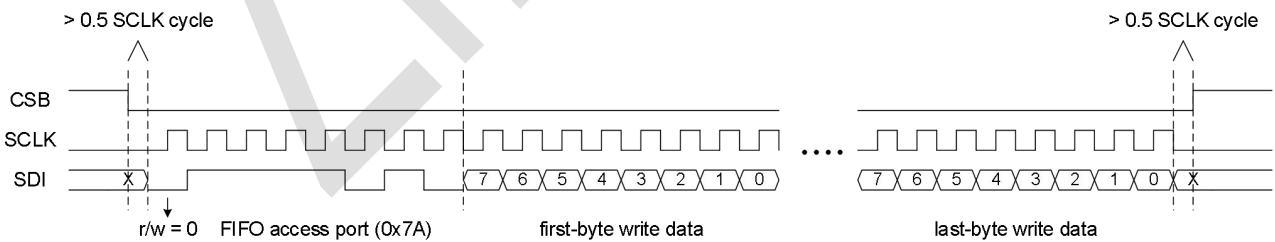


图 5-12. SPI (3 线) 写入 FIFO 时序

## 5.2.2 FIFO 相关中断

ZTG1323B 提供了丰富的与 FIFO 相关的中断源，作为芯片高效的运作的辅助手段，其中 Rx 和 Tx 相关的 FIFO 中断时序如下图所示。

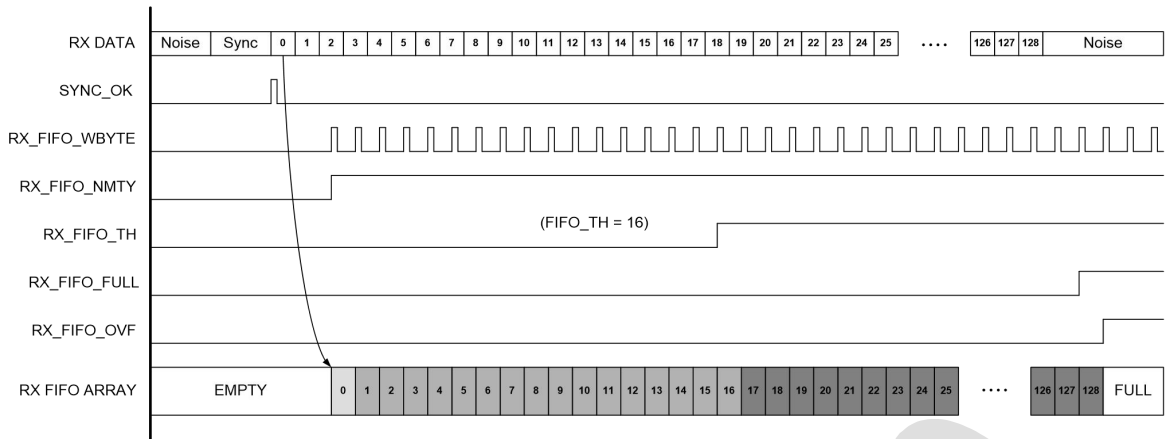


图 5-13. ZTG1323BRX FIFO 中断时序示意图

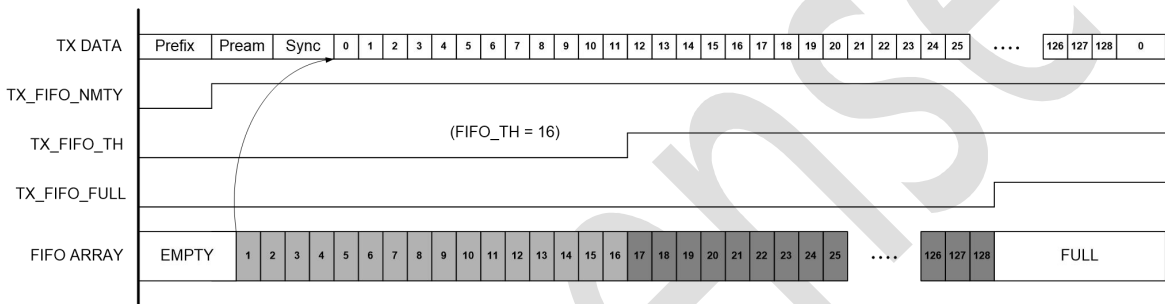


图 5-14. ZTG1323B TX FIFO 中断时序示意图

### 5.3 工作状态，时序及功耗

#### 5.3.1 启动时序

芯片在 VDD 接通后，等待约 1ms 的时间后 POR 会释放，但芯片会停留在 IDLE 状态，不做任何动作。用户发送 power\_up 命令后，芯片就会开始上电流程，做各个模块的校正。芯片完成校正后会停留在 SLEEP。在任何时候，只要进行复位（包括 POR，硬复位，和软复位），芯片会回到 IDLE 状态，等待用户重新发送 power\_up 命令。

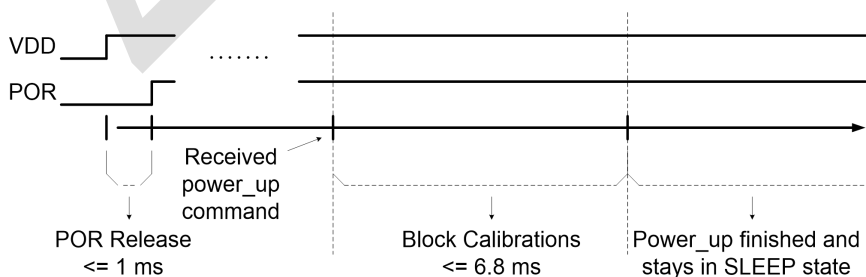


图 5-15. 上电时序

### 5.3.2 工作状态

ZTG1323B 一共有 7 种工作状态：IDLE，SLEEP，READY，RFS，RX，TFS 和 TX，如下表所列：

**表 5-1. ZTG1323B 状态和模块开启表**

状态	二进制码	切换命令	开启模块	可选择开启模块
IDLE	0x00	soft_rst	SPI, POR	无
SLEEP	0x81	go_sleep	SPI, POR	LFOSC, FIFO, Sleep Timer
READY	0x82	go_ready	SPI, POR, XTAL, FIFO	无
RFS	0x84	go_rfs	SPI, POR, XTAL, PLL, FIFO	无
TFS	0x88	go_tfs	SPI, POR, XTAL, PLL, FIFO	无
RX	0x90	go_rx	SPI, POR, XTAL, PLL, LNA+MIXER+ADC, FIFO	RX Timer
TX	0xA0	go_tx	SPI, POR, XTAL, PLL, PA, FIFO	无

下列表格列出了状态切换所需要的时间，表格中左边列出的为起始状态：

起始状态	目标状态					
	SLEEP	READY	RFS	RX	TFS	TX
SLEEP		660 us	770 us	820 us	770 us	820 us
READY	立即		110 us	160 us	110 us	160 us
RFS	立即	立即		20 us	不可切换	不可切换
RX	立即	立即	立即		不可切换	160 us
TFS	立即	立即	不可切换	不可切换		20 us
TX	立即	立即	不可切换	160 us	立即	

**备注：**

在 Direct 模式下，如芯片正在发射，收到切换命令会立即退出 TX 状态。

在 Packet 模式下，如芯片正在发射，必须完成了当前发射才能退出 TX 状态。

下面是状态切换图和状态标号：

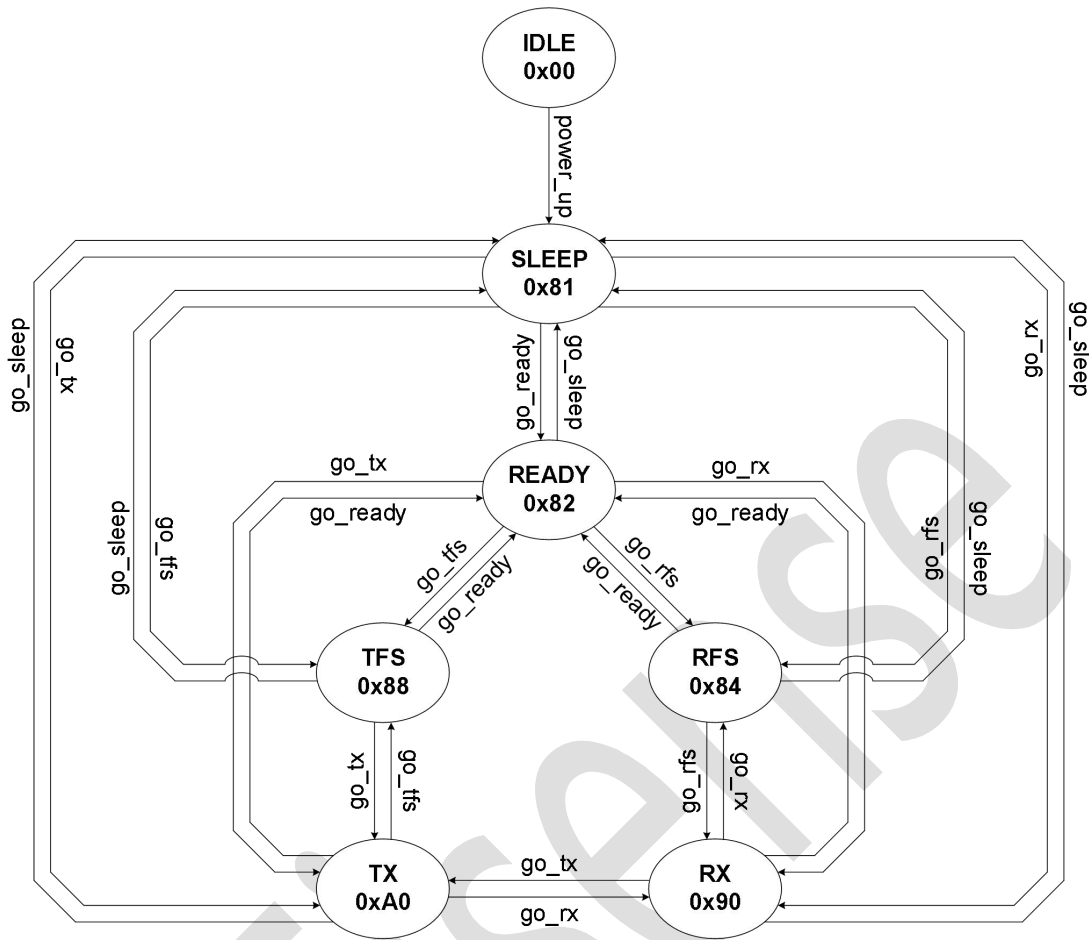


图 5-16.状态切换图

## 5.4 GPIO 和中断

ZTG1323B 有 6 个 GPIO（GPIO0~GPIO5 和 NIRQ），每个 GPIO 都可以配置成不同的输入或者输出；ZTG1323B 有 3 个中断口（INT1、INT2、INT3），可以配置到不同的 GPIO 输出。

表 5-2. ZTG1323B GPIO

管脚号	名字	I/O	功能
23	GPIO0	IO	可配置为: DOUT, INT1, INT2, INT3, DCLK, TRX_SWT
22	GPIO1	IO	可配置为: DCLK, INT1, INT2, DOUT, TRX_SWT
14	GPIO2	IO	可配置为: INT1, INT2, INT3, DCLK, DOUT, ANTD1
13	GPIO3	IO	可配置为: INT1, INT2, DCLK, DOUT, DIN, ANTD2
7	GPIO4	IO	可配置为: DOUT, INT1, INT2, DCLK, DIN, CLK0, LFCLK0
8	GPIO5	IO	可配置为: RSTn, INT1, INT2, DOUT, DCLK
21	NIRQ	IO	可配置为: INT1, INT2, DCLK, DOUT, DIN, TCXO



下面给出中断映射表，INT1 和 INT2 的映射是一样的，下面以 INT1 为例说明。

**表 5-3. ZTG1323B 中断映射表**

名称	INT1_SEL	描述	清除方式
INT_MIX	000000	组合中断，下面任何一个中断有效，INT_MIX 就会有效	Auto/By MCU
ANT_LOCK	000001	天线分集功能运行后天线完成锁定中断	By MCU
RSSI_PJD_VALID	000010	RSSI 和（或）PJD 的组合有效中断	Auto
PREAM_PASS	000011	指示成功收到 Preamble 的中断	By MCU
SYNC_PASS	000100	指示成功收到 Sync Word 的中断	By MCU
ADDR_PASS	000101	指示成功收到 Addr 的中断	By MCU
CRC_PASS	000110	指示成功收到并通过 CRC 校验的中断	By MCU
PKT_OK	000111	指示完整收到一个数据包，且数据包正确的中断	By MCU
PKT_DONE	001000	指示当前的数据包已经接收完成，会有下面 4 种情况： 1. 完整地接收到整个数据包，且数据包正确 2. 曼切斯特解码错误，解码电路自动重启 3. NODE ID 接收错误，解码电路自动重启 4. 发现信号冲突，解码电路不自动重启，等待 MCU 处理	By MCU
SLEEP_TMO	001001	指示 SLEEP 计数器超时的中断	By MCU
RX_TMO	001010	指示 RX 计数器超时的中断	By MCU
RX_FIFO_NMTY	001011	指示 RX FIFO 非空的中断	Auto
RX_FIFO_TH	001100	指示 RX FIFO 未读内容超过 FIFO TH 的中断	Auto
RX_FIFO_FULL	001101	指示 RX FIFO 填满的中断	Auto
RX_FIFO_WBYTE	001110	指示 RX FIFO 每写入一个 BYTE 的中断，是脉冲	Auto
RX_FIFO_OVF	001111	指示 RX FIFO 溢出的中断	Auto
TX_DONE	010000	指示 TX 完成的中断	By MCU
TX_FIFO_NMTY	010001	指示 TX FIFO 非空的中断	Auto
TX_FIFO_TH	010010	指示 TX FIFO 未读内容超过 FIFO TH 的中断	Auto
TX_FIFO_FULL	010011	指示 TX FIFO 满的中断	Auto
STATE_IS_READY	010100	指示当前状态是 READY 的中断	Auto
STATE_IS_FS	010101	指示当前状态是 RFS 或 TFS 的中断	Auto
STATE_IS_RX	010110	指示当前状态是 RX 的中断	Auto
STATE_IS_TX	010111	指示当前状态是 TX 的中断	Auto
LBD_STATUS	011000	指示低电压检测有效（VDD 低于设置的 TH）的中断	By MCU
API_CMD_FAILED	011001	API 命令执行错误中断	By MCU
API_DONE	011010	API 命令完成指示中断	By MCU
TX_DC_DONE	011011	Duty Cycle 发射模式运行完成中断	By MCU
ACK_RECV_FAILED	011100	ACK 接收失败中断	By MCU
TX_RESEND_DONE	011111	重复发射运行完成中断	By MCU
NACK_RECV	011110	接收到 NACK 的指示中断	By MCU
SEQ_MATCH	011111	序列号匹配成功中断	By MCU
CSMA_DONE	100000	CSMA 运行完成中断	By MCU
CCA_STATUS	100001	信道监听状态中断	By MCU

中断默认 1 有效，但可通过将 INT\_POLAR 寄存器比特设置为 1，使所有中断都变为 0 有效。下面还是以 INT1 为例，提供两个不同性质的中断源的控制和选择图。对于控制和映射来说，INT1 和 INT2 是相同的，可映射到任意一个 GPIO。INT3 的来源只有 INT\_MIX，只能映射到 GPIO0 和 GPIO2。在使用时，用户可以选择使用 INT\_MIX 来将所有中断源都映射到中断口上，通过查询中断标志来识别是哪一个中断生效；或者可以直接将某一个中断源映射到中断口上。

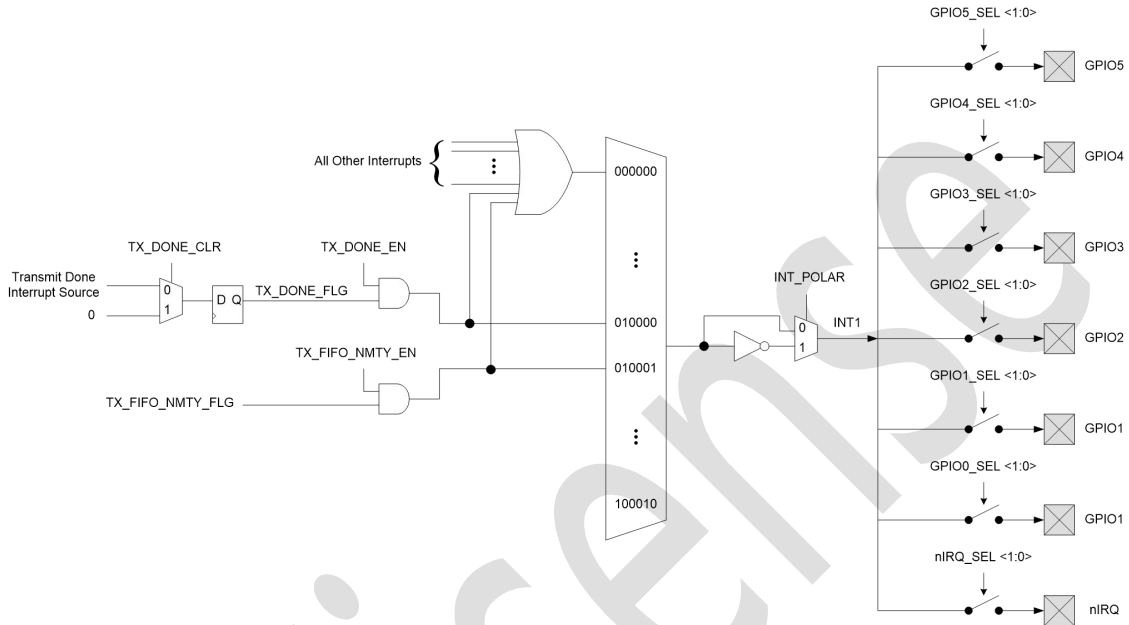


图 5-17. ZTG1323B INT1 中断映射图

## 6. Advanced M-FSK 调制

Advanced M-FSK 调制是提升上行灵敏度和速率有效方式之一。来自 MCU 无编码或编码后的数据，根据本节描述进行的调制。

### 6.1 总体描述

用户可以在 SLEEP 状态配置好寄存器，来确定发射机的工作模式和特性，然后在 READY 状态将待发射的数据填入 FIFO，最后通过发送 GO\_TX 命令来完成发射（ZTG1323B 的具体控制流程请参考相关说明文档）。发射机可用的配置如下，符号率和频率的计算方法参考 6.2 和 6.3 节：

表 6-1. Advanced M-FSK 发射参数描述

参数	比特数	功能描述
PREAM_LENGTH	16	Preamble 的长度，可配置为 0-65535 个单元长度，0 表示不发送 Preamble，1 表示发送 1 个 Preamble 单元，以此类推。
PREAM_SIZE	3	一个 Preamble 单元的字节数，0 表示 1 个 byte，最多 8 个 byte。
PREAM_VALUE	64	一个 Preamble 单元的值，如一个单元只有 1 个 byte，那这个值的低 8 位有效。
PREAM_RATE	32	Preamble 阶段符号率字。
PREAM_DEV	24	Preamble 阶段用于产生频点之间 Deviation 的 K 值。
SYNC_SIZE	3	Sync Word 长度：0 表示 1 个 byte，最多 8 个 byte。
SYNC_VALUE	8x8	Sync 的值，一共有 8 个寄存器，最多存放 8 个字节的值，会根据不同的 SYNC_SIZE 选择使用多少字节。
SYNC_RATE	32	Sync 阶段符号率字。
SYNC_DEV	24	Sync 阶段用于产生频点之间 Deviation 的 K 值。
SYNC_M	3	Sync 阶段使用的 M 值，0 表示 2，1 表示 4，以此类推，最大值是 256。
PAYLOAD_LENGTH	18	包格式里除 Preamble 和 Sync 外其他域的长度。按照纵行 MFSK 包格式需求，这里指的就是 Data 长度。
PAYLOAD_RATE	32	Payload 阶段符号率字。
PAYLOAD_DEV	24	Payload 阶段用于产生频点之间 Deviation 的 K 值。
PAYLOAD_M	3	Payload 阶段使用的 M 值，0 表示 2，1 表示 4，以此类推，最大值是 256。

### 6.2 符号率的配置

符号率在 ZTG1323B 内部使用典型的 DDS 电路控制，DDS 的主时钟为 32MHz，需要输入的符号率字计算公式为： $SR\_Word = Sym\_Rate (Hz) \times 2^{30} / 32000000$ 。

### 6.3 频域率的配置

ZTG1323B 使用小数分频 PLL 来产生发射频率，频率计算公式如下：

$NK = TX\_FREQ (MHz) \times 10^6 \times DIV \times 2^{20} / 32000000$ , DIV 是 PLL 内部的分频值, 根据频率范围选定, 如下表所示。

**表 6-2. 不同频率范围的不同 DIV 值**

频率范围	DIV 的值
250Mhz- 341Mhz	12
375Mhz - 512.5Mhz	8
750Mhz - 1025Mhz	4

同理, Deviation 也是用这个公式来计算, 由于 Dev 是比较小的频率值, 所以计算出来的 N 值都是 0, 只需要用到 K 值。然而, 如果按照相同的公式计算, 引入的误差在跟 M 做乘法计算后, 会导致误差累积, 所以公式的要稍微修改一下, 将精度从 20 位提高到 24 位。

$$NK = DEV\_FREQ (MHz) \times 10^6 \times DIV \times 2^{24} / 32000000, \text{DIV 与中心频点一致}$$

总结, PLL 的频率字固定是 20 位的, 所以中心频率的 NK 值是 20 位, Dev 的值配置时是 24 位, 以便提高精度, 经过芯片内部计算后最终还是取高 20 位送给 PLL。

## 6.4 数据获取和发射方式

### 6.4.1 Preamble 阶段

芯片根据用户设置的 3 个参数, 自动发送在 2 个频点之间来回跳的信号, 2 个频点关于中心频率对称, 间隔是  $2xDev$ 。Preamble 每个单元的字节数可配置为 1 到 8 个字节, 每个字节的内容是可配置的, 可支持循环发射 0-65535 个单元。

### 6.4.2 Sync 阶段

芯片根据用户设置, 从多至 8 个字节的寄存器里面读出 SYNC\_VALUE。下面给出 Sync 寄存器的输入数据格式。下面以 1 个 Byte 的内容为例说明, 在不同的 M 设置下, 数据应该如何填入。一个 symbol 是维持一个符号时间长度的一个单频点载波。

**表 6-3. 2FSK**

比特位	7	6	5	4	3	2	1	0
格式	Sym 7	Sym 6	Sym 5	Sym 4	Sym 3	Sym 2	Sym 1	Sym 0
说明	每 1 个 bit 存放一个 symbol。							

**表 6-4. 4FSK**

比特位	7	6	5	4	3	2	1	0
格式	Sym 3		Sym 2		Sym 1		Sym 0	
说明	每 2 个 bit 存放一个 symbol。							

**表 6-5. 4FSK&8FSK**

比特位	7	6	5	4	3	2	1	0
格式 (8-FSK)	0	Sym 1			0	Sym 0		
格式 (16-FSK)	Sym 1				Sym 0			
说明	每 4 个 bit 存放一个 symbol 的值。 8-FSK 是低 3-bit 代表一个 symbol。 16-FSK 是低 4-bit 代表一个 symbol。							

**表 6-6. 32-FSK, 64-FSK, 128-FSK, 256-FSK**

比特位	7	6	5	4	3	2	1	0
格式 (32-FSK)	0	0	0	Sym 0				
格式 (64-FSK)	0	0	Sym 0					
格式 (128-FSK)	0	Sym 0						
格式 (256-FSK)	Sym 0							
说明	每 8 个 bit 存放一个 symbol 的值。 32-FSK 是低 5-bit 代表一个 symbol。 64-FSK 是低 6-bit 代表一个 symbol。 128-FSK 是低 7-bit 代表一个 symbol。 256-FSK 是低 8-bit 代表一个 symbol。							

多余的比特，例如 32-FSK 情况下的高 3 位，用户必须填 0 值。

由于 Sync 一共有 8 个 byte 的寄存器可用，在 2-FSK 时可存放 64 个 symbol，在 4-FSK 时可存放 32 个 symbol，在 8-FSK 和 16-FSK 时可存放 16 个 symbol，在 32-FSK, 64-FSK, 128-FSK 和 256-FSK 时可存放 8 个 symbol。

### 6.4.3 Payload 阶段

数据要储存在 FIFO 里面，最多存放 256-byte。Payload 阶段每个 byte 的数据填入方式，与 Sync 阶段是一样的。虽然 FIFO 的容量有限，但 ZTG1323B 可支持多至 262143 个 byte 的 Payload 的连续发送。在发送过程中，用户需要不断通过检测 FIFO\_TH 中断，使用 SPI 持续填入待发射数据。该功能具有一定风险，在发射过程中持续操作 SPI 有可能干扰到晶体和 PA，因此该功能需要经过芯片大批量测试才能确保没有问题。纵行可认为 ZTG1323B 能够保证成功发射 256 个 byte，多于 256 个 byte 的连续发射属于尝试性的功能，并不能 100% 保证成功。

在一次发射过程中，功率是恒定的，可以支持在一次发射过程中，连续发射 65535 个包含 Preamble, Sync 和 Data 的包，包之间插入相当于 2 个 Payload 字节的时间间隔。与系统结合，可以支持 duty-cycle 发射，重复发射等等的功能，见第 8 节描述。

MFSK 的码值映射由 ZTG1323B 完成，例如用户在 8FSK 的模式下，将码值 011 填入 FIFO，芯片会根据 gray 映射方式，判定此时要发送的是 -3Dev 的频点，最多能支持 256 个频点的格雷码映射。

速率可以灵活控制，下表是 120kHz 带宽下的上行速率配置。

**表 6-7. 120kHz 带宽下速率配置示意表**

序号	带宽(kHz)	DEV(kHz)	符号速率(kcps)	M-FSK	速率(kbps)
----	---------	----------	------------	-------	----------

1	120	30	38.4	2	38.4
2	120	15	19.2	4	38.4
3	120	7.5	9.6	8	28.8
4	120	3.75	4.8	16	19.2
5	120	1.875	2.4	32	12
6	120	0.9375	1.2	64	7.2

### 6.5 Advanced M-FSK 配合纵行 AP 接收灵敏度和应用场景示意

ZTG1323B 支持 Advanced M-FSK 调制，需要 AP 侧配合才能发挥通信独有性能，下面表格是纵行 AP 侧在 Advanced M-FSK 不同发送速率时相应的接收灵敏度。

表 6-8. 典型配置 1 下纵行 AP 接收灵敏度

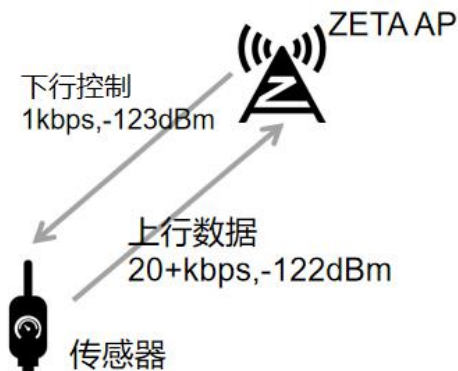
M-FSK	符号速率(ksp/s)	DEV (kHz)	Code	灵敏度 (dBm)	速率 (kbps)
4	16	12.5	1	-117.1	32
4	16	12.5	0.75	-122.5	24
4	16	12.5	0.66	-121.5	21.12
4	16	12.5	0.5	-124	16

表 6-9. 典型配置 2 下纵行 AP 接收灵敏度

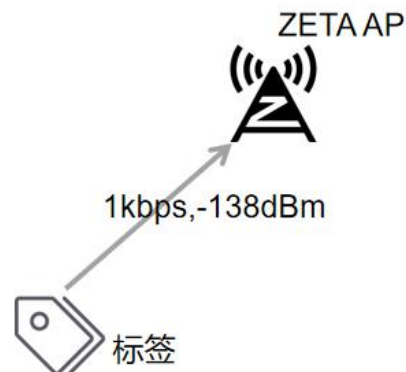
M-FSK	符号速率(sps)	DEV (Hz)	Code	灵敏度 (dBm)	速率 (bps)
2	600	937.5	1	-133	600
4	600	937.5	0.5	-139	600
16	600	937.5	0.5	-137.1	1200
64	600	937.5	0.5	-135.6	1800
64	300	418.75	0.5	-138.6	900
64	150	209.5	0.5	-141.6	450
64	75	105	0.5	-144	225

不同典型配置会有不同的应用场景，下图是示意的应用场景：一种是基于控制的数据采集；另一种是对覆盖要求很高的资产管理。

典型配置1应用：基于控制的数据采集



典型配置2应用：资产管理



## 7. 数据包及包处理机制

数据模式（Data Mode）指的外部 MCU 通过什么模式来输入发射数据或获取接收数据，ZTG1323B 支持直通模式和包模式两种，区别如下。

- Direct – 直通模式，在 RX 模式下仅支持 preamble 和 sync 检测，FIFO 不工作；在 TX 模式下仅支持对 GPIO 输入的数据进行透传。
- Packet – 包模式，支持所有包格式配置，FIFO 工作。

### 7.1 直通模式

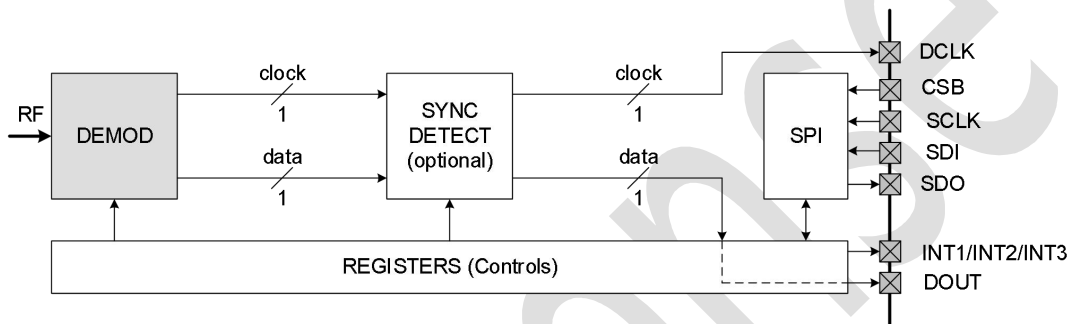


图 7-1. 直通模式的数据通路

#### Rx 处理

在直通模式中，数据从解调器的输出直接通过 DOUT 发送到外部 MCU, DOUT 可以设置为 GPIO1-GPIO5 和 NIRQ。对 MCU 来说，典型的直通模式的 Rx 工作顺序如下：

1. 配置好要使用哪个GPIO。
2. 配置DATA\_MODE = 0。
3. 发送go\_rx命令。
4. 连续地从DOUT捕获接收数据。
5. 发送go\_sleep/go\_ready/go\_rfs命令来完成接收，并节约功耗。

#### Tx 处理

直通模式下，待发射的数据直接由外部 MCU 通过芯片的 DIN 送入芯片（4FSK 发射不支持该模式），数据率只要在芯片使用规范内都可以由 MCU 指定，设定的值需跟 RFPDK 上配置的数据率接近（不超过 +/- 30%的误差）。对 MCU 来说，典型的直通模式的 Tx 工作顺序如下：

1. 将寄存器TX\_DIN\_EN设为1来使能GPIO的DIN功能。
2. 使用TX\_DIN\_SEL来选择从哪个GPIO送入芯片。
3. 发送go\_tx命令，同时将发射数据送入DIN，按照约定的数据率，数据会立即发送出去。
4. 发送go\_sleep/go\_ready/go\_rfs命令来完成发射，并节约功耗。



## 7.2 数据包模式

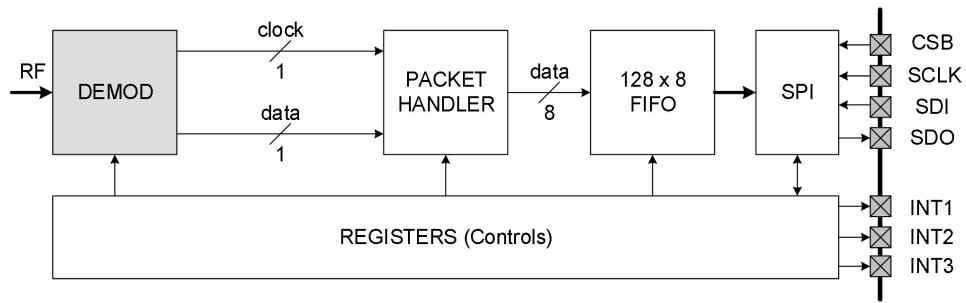


图 7-2.包模式的数据通路

ZTG1323B 采用了 TX 和 RX 统一配置，支持典型和更为灵活的包格式，可以分为可变包（Length 在 Node ID 前面），可变包（Length 在 Node ID 后面）和固定包三种，数据包中的每一个部分，都支持非常灵活的配置：

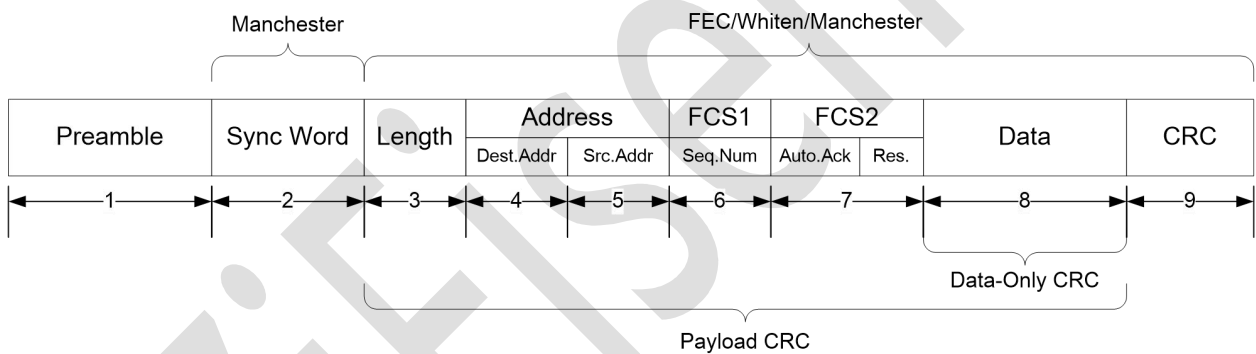


图 7-3. ZTG1323B 包格式

### 7.2.1 Rx 处理

在包模式中，从解调器输出的数据会先被移送至包处理机中进行解码，然后填入 FIFO。包处理机提供多种解码引擎和判断数据有效性的选项，这些可以减轻用户 MCU 资源。对 MCU 来说，典型的包模式的 Rx 工作顺序如下。

1. 配置好要使用哪个GPIO。
2. 选择好要输出的中断。
3. 发送go\_rx 命令。
4. 根据相关的中断状态读取RX FIFO。
5. 发送go\_sleep/go\_ready/go\_rfs命令以节约功耗。
6. 清除中断。



## 7.2.2 Tx 处理

在包模式中，MCU 必须先提前将数据在 READY 和 TFS 的状态下填入 FIFO 中，然后发送 go\_tx 命令把数据发射出去。对 MCU 来说，典型的包模式的 TX 工作顺序如下。

1. 配置好要使用哪个GPIO。
2. 发送go\_ready命令，并将数据填入TX FIFO。
3. 选择好要输出的中断。
4. 发送go\_tx 命令。
5. 在相应的中断状态中将数据写入TX FIFO。
6. 完成N个数据包发送后，会自动退出到可选择的狀態，无需发送命令。

ZTG1323B 的 FIFO，包处理机制，以及相关的中断资源非常丰富，可与绝大部分同类产品无障碍通讯。具体细节可参考 RFPDK 的配置界面。

## 8. 特色收发功能

### 8.1 Duty Cycle 运转模式

ZTG1323B 通过配置相关寄存器使得芯片的 Tx 和 Rx 工作于 Duty Cycle 运转模式以节约芯片功耗。

RX 的 Duty Cycle 模式可以分为以下 5 种模式。

1. 全手动控制
2. 自动 SLEEP 唤醒，切换到手动控制
3. 自动 SLEEP 唤醒，自动进入 RX，手动退出 RX
4. 自动 SLEEP 唤醒，手动进入 RX，自动退出 RX
5. 全自动控制

TX 的 Duty Cycle 可以分为以下 3 种模式。

1. 手动进入 TX，自动退出 TX
2. 自动 SLEEP 唤醒，手动进入 TX，自动退出 TX
3. 全自动发射

### 8.2 超低功耗（SLP）接收模式

ZTG1323B 提供了一系列的选项，能够帮助用户在不同的应用需求下实现超低功耗（SLP – Supper Low Power）的接收。这些选项都必须在 RX\_TIMER\_EN 被设置为 1，即 RX 计时器有效时才会生效。SLP 接收的核心内容是如何让接收机在无信号的时候尽量缩短 RX 的时间，在有信号的时候又能够恰当地延长 RX 的时间进行接收，最终达到功耗最小化并稳定接收的效果。

传统的短距离无线收发系统，一般都会以下面这种基本的方案实现低功耗收发。ZTG1323B 同样兼容这种方案，并且在这个基础上扩展出 13 种更加节省功耗的方案。下面先介绍一下最基本的方案。

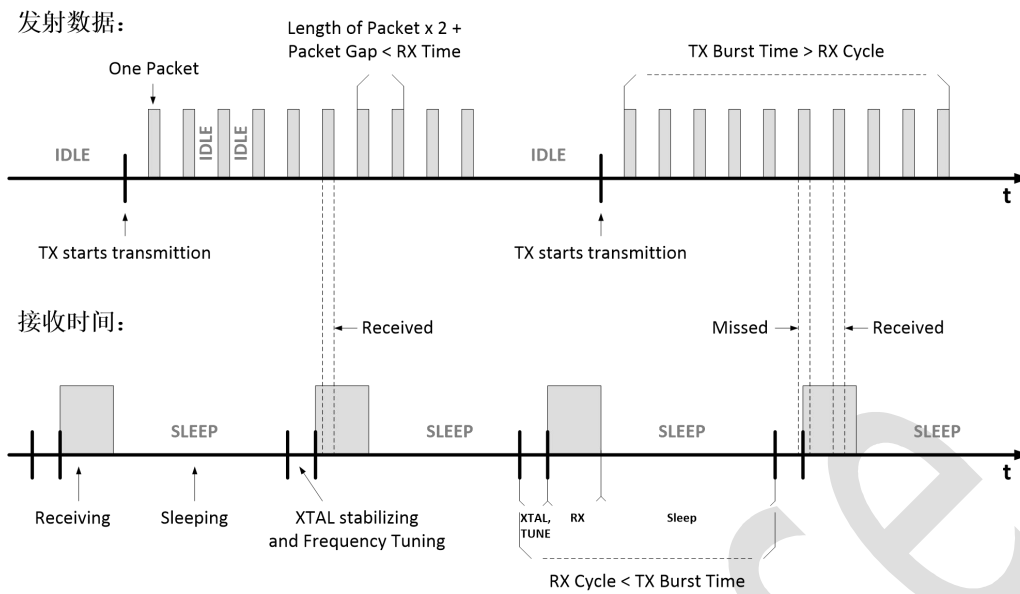


图 8-1. 基本的低功耗收发方案

传统低功耗收发方案以及在此基础上延伸的 13 种低功耗方案罗列如下表。

表 8-1. 超低功耗接收模式

编号	RX 的延长方式	RX 的延长条件
0	如果配置为 0，不做任何延长，T1 计时结束就离开 RX	无
1	T1 内一旦满足检测条件，就离开 T1，将控制权交给 MCU	RSSI_VLD 有效
2		PREAM_OK 有效
3		RSSI_VLD 与 PREAM_OK 同时有效
4	T1 内只要检测到 RSSI 有效，就退出 T1 并一直处于 RX，直到 RSSI 不满足就退出 RX	RSSI_VLD 有效
5	T1 内一旦满足检测条件，就切换到 T2，T2 计时结束后就退出 RX	RSSI_VLD 有效
6		PREAM_OK 有效
7		RSSI_VLD 与 PREAM_OK 同时有效
8		PREAM_OK 或 SYNC_OK 任意一个有效
9		PREAM_OK 或 NODE_OK 任意一个有效
10		PREAM_OK 或 SYNC_OK 或 NODE_OK 任意一个有效
11	T1 内一旦满足检测条件，就切换到 T2，T2 内一旦检测到 SYNC 就退出 T2 并将控制权交给 MCU，否则 T2 计时结束后就退出 RX	RSSI_VLD 有效
12		PREAM_OK 有效
13		RSSI_VLD 与 PREAM_OK 同时有效
<b>备注：</b>		
RSSI_VLD 的信号源，可以选择是 RSSI 的对比结果，或者是 PJD 的监测结果，又或者是两者同时有效。		

上表格提到的 T1 和 T2 分别是指可用寄存器或 RFPDK 设定的 RX T1 和 RX T2 时间窗口。RSSI\_VLD 的源可以是 RSSI 的对比结果或者是相位检测（PJD）的结果。

### 8.3 自动跳频接收 (RX AUTO HOP)

芯片进入一个信道进行接收，在对应模式下，如果一直没有检测到成功的事件，那么芯片根据 `FREQ_SW_STATE` 返回到 `READY` 或者 `RFS` 状态，自动配置跳频表内下一个字节的信道值，然后重新进入 `RX` 状态进行接收。如果自动切换状态为 `READY`，那么重新进入 `RX` 之前会校准 PLL 频率，会消耗对应的校准时间；如果自动切换状态为 `RFS`，那么将不会校准 PLL 频率，切换时间会较短。如果跳频表里面任意两个频点之间的间隔超过 2MHz，建议将 `FREQ_SW_STATE` 配置为 `READY` 状态，因为有重新校准 PLL 的必要。

如果检测到成功的事件，就会停止自动跳频，等待外部 MCU 进行处理，或者切换到预先配置好的状态。当跳完整个表仍未检测到成功的事件，如果 `RX_HOP_PERSIST` 配置为 1，那芯片会继续从头开始跳表，如果 `RX_HOP_PERSIST` 配置为 0，那么就返回到 `RX_EXIT_STATE` 状态，停止自动跳频接收的操作。跳频的目标频点的计算公式是：

$$\text{FREQ} = 1\text{K} \times \text{FREQ\_SPACE}\langle 7:0 \rangle \times \text{FREQ\_CHANL}\langle 7:0 \rangle$$

其中 `FREQ_SPACE<7:0>` 是一个独立的寄存器，`FREQ_CHANL<7:0>` 则由 64 个寄存器进行配置，每个寄存器存放一个频道值。

`RX_Auto_Hop` 模式提供 `REQ_CHANL_LV` 寄存器用于告诉用户当前使用的频道值。另外还有 `FREQ_DONE_TIMES` 寄存器，用于读取当前已经完成的跳频次数。

`RX_Auto_Hop` 模式自动过程涉及到使用 `RX T1 TIMER` 和 `RX T2 TIMER`，所以使用过程中必须将 `TIMER_RX_EN` 置 1。`RX T1 TIMER` 通过 `TIMER_M_RX_T1` 和 `TIMER_R_RX_T1` 配置，实际定时时间可以由公式计算得出；`RX T2 TIMER` 通过 `TIMER_M_RX_T2` 和 `TIMER_R_RX_T2` 配置，实际定时时间可以由公式计算得出。

`CCA_INT_SEL` 用于决定 `RSSI_PJD_VLD` 是由 `RSSI` 决定还是 `PJD` 决定，`RX_EXIT_STATE` 决定在接收退出时返回到哪个状态，`PKT_DONE_EXIT_EN` 决定在收到 `PKT_DONE` 时是否要退出返回到 `RX_EXIT_STATE` 配置的状态，还是保持在当前状态。

用户完成配置之后，将 `RX_AUTO_HOP_EN` 置 1 使能，然后发送 `go_rx` 命令就可以进入了 `RX_Auto_Hop` 模式，自动运行过程中如果触发停止事件，芯片会退出自动过程停止到固定的某个状态，如果用户想自行停止 `RX_Auto_Hop` 功能，可以将 `API_STOP` 置 1，芯片检测到该比特之后，会在下一次状态切换时将 `API_DONE_FLAG` 置 1，保持当前配置然后退出 `RX_Auto_Hop` 返回到 `READY` 状态。

在 `RX Auto Hop` 停止后，如果 `RX_AUTO_HOP_EN` 保持为 1，那么用户下次发送 `go_rx` 命令，芯片会再次进入自动跳频接收操作，起始频点是上一次跳频的结束频点的下一个频点。如果用户想从跳频表中的第一个频点开始跳频，就在发送 `go_rx` 命令前，将 `FREQ_DONE_TIMES` 寄存器清零即可。

RX Auto Hop 共有下面的 7 种工作模式：

**表 8-2. RX Auto Hop 工作模式**

编号	RX 的延长方式	RX 的延长条件
0	如果配置为 0，不做任何延长。在 T1 超时前如果检测 PKT_DONE，并且 PKT_DONE_EXIT_EN = 1 退出自动跳频，把状态切换到 RX_EXIT_STATE；否则 T1 超时退出 RX，返回 FREQ_SW_STATE 状态，再继续跳往下一个频点。	无
1	T1 内一旦满足检测条件，就离开 T1，将控制权交给 MCU（保持状态）；如果检测不满足条件，就超时退出 RX，返回 FREQ_SW_STATE 寄存器指定的状态，继续跳往下一个频点。	RSSI_PJD_VLD 有效
2		PREAM_OK 有效
3		RSSI_PJD_VLD 与 PREAM_OK 同时有效
4	T1 内一旦满足检测条件，就切换到 T2；如果不满足条件溢出，就超时退出 RX，返回 FREQ_SW_STATE 寄存器指定的状态，继续跳往下一个频点。在 T2 内一旦检测到 SYNC 就退出 T2 并将控制权交给 MCU（保持状态），否则 T2 计时结束后就退出 RX，返回 FREQ_SW_STATE 寄存器指定的状态，继续跳往下一个频点。	RSSI_PJD_VLD 有效
5		PREAM_OK 有效
6		RSSI_PJD_VLD 与 PREAM_OK 同时有效

## 8.4 自动跳频发送（TX AUTO HOP）

TX Auto Hop 中 FREQ\_TIMES<7:0>用于配置跳频表的大小，表格最多包含 64 个字节的存储空间供用户存入需要配置的信道。跳频的过程如下。

芯片进入一个信道进行发送，发送成功后，那么芯片根据 FREQ\_SW\_STATE 返回到 READY 或者 TFS 状态，自动配置跳频表内下一个字节的信道值，然后重新进入 TX 状态进行发送。如果自动切换状态为 READY，那么重新进入 TX 之前会校准 PLL 频率，会消耗对应的校准时间；如果自动切换状态为 TFS，那么将不会校准 PLL 频率，切换时间会较短。如果跳频表里面任意两个频点之间的间隔超过 2MHz，建议将 FREQ\_SW\_STATE 配置为 READY 状态，因为有重新校准 PLL 的必要。

当跳完整个表时，如果 RX\_HOP\_PERSIST 配置为 1，那芯片会继续从头开始跳表，如果 RX\_HOP\_PERSIST 配置为 0，那么就返回到 TX\_EXIT\_STATE 状态，停止自动跳频发送的操作。跳频的目标频点的计算公式是：

$$\text{FREQ} = 1\text{K} \times \text{FREQ\_SPACE}<7:0> \times \text{FREQ\_CHANL}<7:0>$$

其中 FREQ\_SPACE<7:0>是一个独立的寄存器，FREQ\_CHANL<7:0>则由 64 个寄存器进行配置，每个寄存器存放一个频道值。

TX\_Auto\_Hop 模式提供 REQ\_CHANL\_LV 寄存器用于告诉用户当前使用的频道值。另外还有 FREQ\_DONE\_TIMES 寄存器，用于读取当前已经完成的跳频次数。

用户完成配置之后，将 TX\_AUTO\_HOP\_EN 置 1 使能，然后发送 go\_tx 命令就可以进入了 TX\_Auto\_Hop 模式，如果用户想自行停止 TX\_Auto\_Hop 功能，可以将 API\_STOP 置 1，芯片检测到该比特之后，会在下一次状态切换时将 API\_DONE\_FLAG 置 1，保持当前配置然后退出 TX\_Auto\_Hop 返回到 READY 状态。

## 8.5 自动重发 (TX AUTO RESEND)

自动重发功能是实现发射机与接收机之间握手的一种自动控制机制，该功能提供两个包格式域用于判断发射端与接收端是否成功握手，分别是 SEQNUM 和 FCS2 域，这两个域属于 Packet 的一部分，使用该功能时需要通过 SEQNUM\_EN 和 FCS2\_EN 使能。

其实现原理为，发射端将本地的 SEQNUM 配置好，并将 FCS2 域中的 NACK 比特置 1 发射出去，发送成功后进入 RX 状态等待应答，当收到的应答包 SEQNUM 与本地 SEQNUM 匹配，并且收到的 NACK 比特为 1 时，认为接收方成功收到发射出去的包，认为握手成功。

接收端使能 ACK 功能后，进入 RX 状态，成功收到 packet 时通过收到的 NACK 比特判断是否需要应答，需要应答则进入 TX 状态，将收到的序列号和 NACK 比特回发，回发完成才产生 PKT\_DONE 中断，接着根据 PKT\_DONE\_EXIT\_EN 判断是回到 RX\_EXIT\_STATE 配置的状态，还是保持在 RX 状态。

## 8.6 载波监听多路访问 (CSMA)

CSMA 是一种在传输发射前先感知当前信道闲忙情况再决定是否发送的一种冲突避免机制（先听后说），因此避免了不同发射机同时使用相同的信道，并增加了接收机正确接收到数据包的概率。该机制的核心是通过将 RSSI 与设定的阈值做比较，从而判断信道闲忙情况。信道忙时，回退 (back-off) 到侦听的过程会被重复执行一定次数，直到信道被发现是空闲的。如果达到限制的次数都不成功，则产生对应的中断和标志位，停止发送。回退 (back-off) 过程中，芯片处于 SLEEP 状态。当然，在 CSMA 的 PERSISTENT 模式下，不是回退到 SLEEP 状态，而是回退到 RFS 后再切回 RX 状态侦听。该模式下会一直检测信道直到信道空闲把数据发送出去。非 PERSISTENT 模式下，可以通过 CSMA\_TIMES 配置在信道非空闲情况下最大侦听的次数，如果达到最大侦听次数信道仍繁忙，则退出 CSMA 返回到 READY 状态。CSMA 运行机制如下图所示。

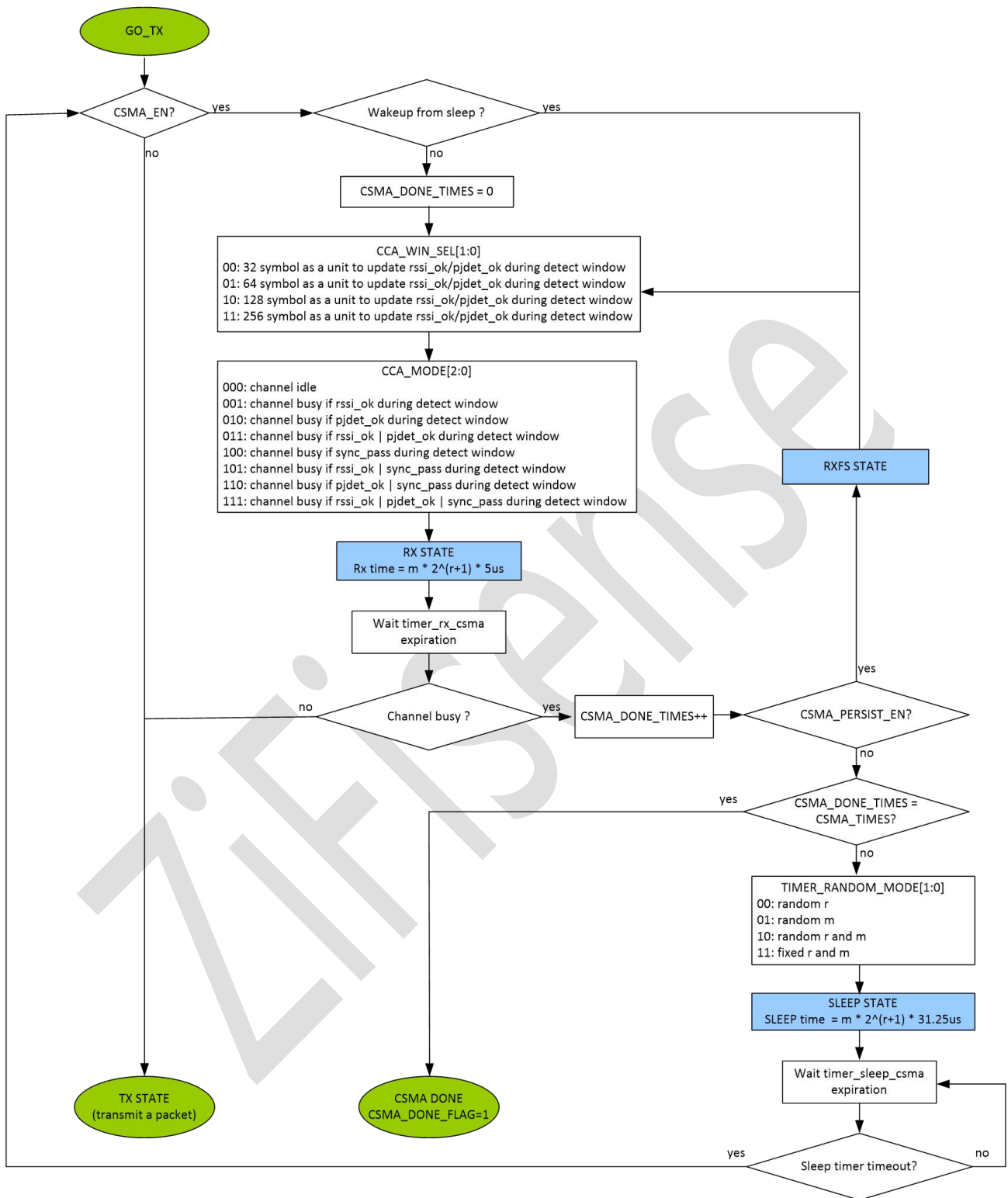


图 8-2. 载波监听多路访问的运行流程图



## 8.7 天线分集 (ANTENNA DIVERSITY)

射频信号在传输路径中各种物体产生的直射波、反射波和散射波的相互影响（即多径衰落），以及多普勒频移（物体辐射的波长因为波源和观测者的相对运动而产生变化）产生的损耗，可通过分集技术来改善。分集技术包括空间分集、极化分集、角度分集、频率分集和时间分集。ZTG1323B 提供双天线角度分集技术，可以使电磁波通过两个不同的路径，以不同的角度到达接收端。ZTG1323B 接收端利用 RSSI 判断两条线路径信噪比的大小，再决定使用哪一条路径来进行数据包的接收。

用户可以配置 ANT\_DIV\_MANU 寄存器为 0，让 ZTG1323B 自动切换和锁定天线。配置 ANT\_DIV\_EN 为 1 使能天线分集功能。ANT\_SW\_DIS 配置为 0 是指在两天线切换扫描发现符合锁定条件时，比较两天线的 RSSI 值，自行锁定 RSSI 值大的天线；ANT\_SW\_DIS 配置为 1 是指在两天线切换扫描发现当前 RSSI 值比 RFPDK 上设置的 RSSI\_Compare\_TH（寄存器为 RSSI\_ABSOLUTE\_TH）大 16dB 时，就锁定当前天线不再切换，否则会进行两天线的 RSSI 值比较后再锁定。

用户也可以配置 ANT\_DIV\_MANU 寄存器为 1，手动控制天线分集开关。设置 ANT\_SELECT 为 0 时，GPIO2 输出 1，GPIO3 输出 0。设置 ANT\_SELECT 为 1 时，GPIO2 输出 0，GPIO3 输出 1。

使用推荐的直连匹配网络的天线分集收发机应用原理图如下图所示，两天线呈直角放置，天线开关由 GPIO2 和 GPIO3 自动控制。GPIO2 输出 1 时 GPIO3 输出 0，这时选择 GPIO2 控制的天线，反之 GPIO2 输出 0 时 GPIO3 输出 1，这时选择 GPIO3 控制的天线。一个天线开关对接收机的噪声系数（Noise Figure）约恶化 0.5dB。

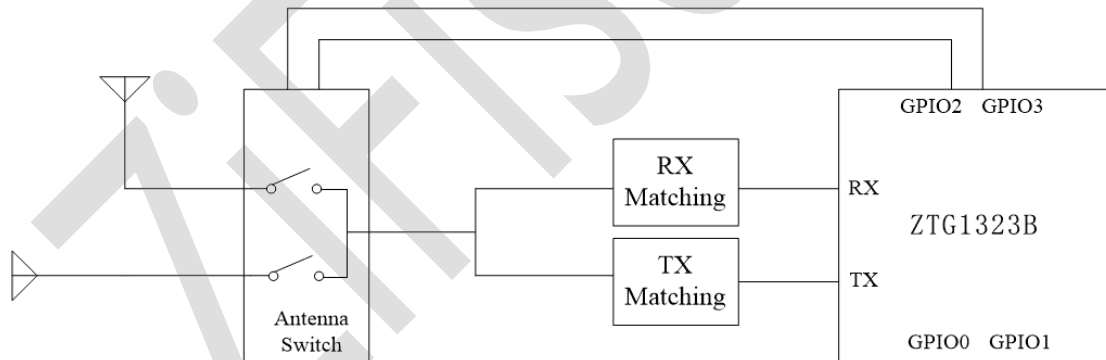


图 8-3. 使用直连匹配网络的天线分集收发机应用原理图

若客户需要把接收和发射匹配网络分开设计，如下图所示，增加一个天线开关，由 GPIO0 和 GPIO1 控制，并配置好 TRX\_SWITCH\_EN = 1 使能 TRX 开关。当 TRX\_SWITCH\_INV = 0 时，在 RX 状态下，GPIO0 输出 1，GPIO1 输出 0，在 TX 状态下，GPIO0 输出 0，GPIO1 输出 1；若 TRX\_SWITCH\_INV = 1，则上述输出值取反。



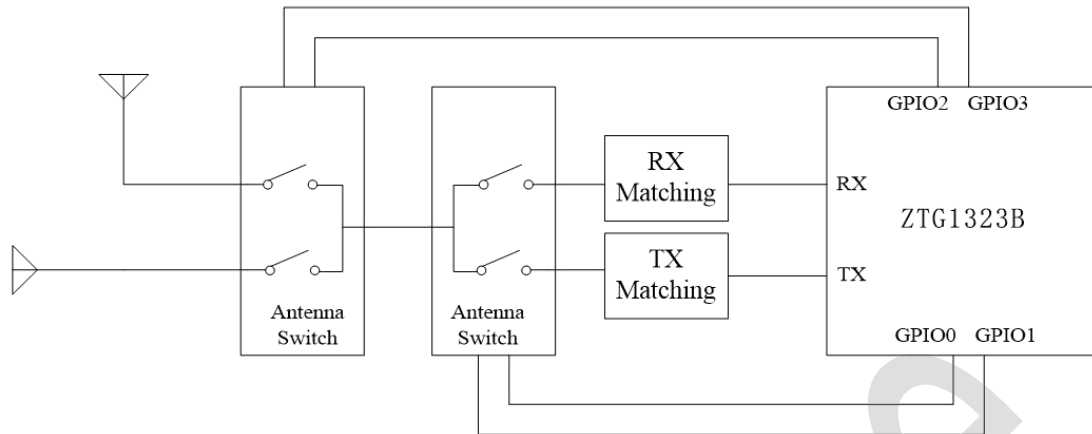


图 8-4. 使用分开匹配网络的天线分集收发机应用原理图

ANT\_LOCK\_EN 为天线分集天线锁定中断使能位，ANT\_LOCK\_FLAG 为天线锁定标志位，ANT\_LOCK\_CLR 为天线锁定中断标志清零位。在天线锁定之后，用户可以通过读取寄存器 ANT\_INSTR 的值来知道当前的天线分集控制自动锁定到哪条天线上，ANT\_INSTR 为 0 时表示 GPIO2=1 & GPIO3=0 连通的天线，反之为 GPIO2=0 & GPIO3=1 连通的天线。

用户还可以通过 RSSI\_VALUE 和 RSSI\_MIN\_VALUE 两个寄存器分别读取锁定后两条天线的 RSSI 值，前者为大的 RSSI 值，后者为小的。推荐用户在 RFPDK 的 Feature 2 Settings 页面内，RSSI Detect Mode 选择 sync\_ok，这样被锁定的天线将会在 sync\_ok 之后把 RSSI 值更新到 RSSI\_VALUE 里。

## 9. 用户寄存器

外部 MCU 对芯片的配置和控制，都是基于使用 SPI 来访问 3 页的寄存器完成的，3 个页之间的切换时通过写入 0x7E 地址来完成的。从表格可以看到，地址从 0x00 到 0x71，其中可以分成 3 个大区去理解，分别是：配置区（其中包括 6 个子区），控制区 1，还有控制区 2。下面做详细的介绍。

首先，对 3 个区来说，地址是连续的，操作方式无本质区别，都是使用 SPI 按照访问寄存器的时序进行直接读写操作。但是从功能和使用方式来说，3 个区有不同的作用，如下所示：

**表 9-1. ZTG1323B 寄存器区域划分表**

页	地址	区域	功能描述
0	0x00 - 0x0F	系统控制区 1	用于操控芯片，例如状态切换，状态查询等。
	0x10 - 0x17	系统控制区 2	用于使能芯片的某些功能。
	0x18 - 0x27	中断控制区	用于读取和清除中断标志位，在 SLEEP 状态不可访问。
	0x28 - 0x5F	配置区（包格式）	用于配置包格式和 FIFO 相关功能
	0x60 - 0x77	配置区（系统特性）	用于配置系统运行相关功能
1	0x00 - 0x0F	配置区（ZTG 专用）	仅限 ZTG 内部使用
	0x10 - 0x27	配置区（TX）	用于配置发射机特性
	0x30 - 0x68	配置区（RX）	用于配置接收机特性
2	0x00 - 0x3F	配置区（自动跳频）	用于存放自动跳频的频道跳转表。
<b>备注：</b> 在页 0 中，0x7A 地址为 FIFO 访问端口地址，0x7B 地址为寄存器连续访问端口地址。 在所有页中，0x7E 是页切换地址。 在所有页中，0x7F 是软复位地址。 除此之外，没有列在上面表格里的地址，禁止访问。			

除“中断配置区”在 SLEEP 状态下不可访问，其余所有区域都可在 SLEEP 状态下访问，只要电池不断电，芯片不进行 POR 复位操作，配置好的内容不会丢失。

页 0 和 1 中的寄存器的值，既可以来自于 RFPDK，也可以由用户自己在应用过程中根据需求去更改。一般来说，除了个别关于 RF 频率或者数据率的配置，有可能需要在应用中进行多次配置，其余大部分寄存器，只需在初始化过程中配置一次即可。

页 2 中的跳频表格，需要用户根据相关 AN 文档指引进行设计和配置。

## 10. 订购信息

表 10-1. ZTG1323B 订购信息

型号	描述	封装	包装选项	运行条件	最小起订量
ZTG1323B-EQR <sup>[1]</sup>	ZTG1323B, 超低功耗 Sub-1GHz 射频收发器	QFN24 (4x4)	编带盘装	1.8 to 3.6V, -40 to 85°C	3,000
<b>备注:</b> [1]. “E” 代表扩展型工业产品等级, 其支持的温度范围是从-40 到+85 °C。 “Q” 代表 QFN24 的封装类型。 “R”代表编带及盘装类型, 最小起订量 (MOQ) 是 3,000 片。					

如需了解更多产品及产品线信息, 请访问 [www.zifisense.com](http://www.zifisense.com)。

有关采购或价格需求, 请联系 [info@zifisense.com](mailto:info@zifisense.com) 或者当地销售代表。

## 11. 封装信息

ZTG1323B 的封装 QFN24 封装信息如下。

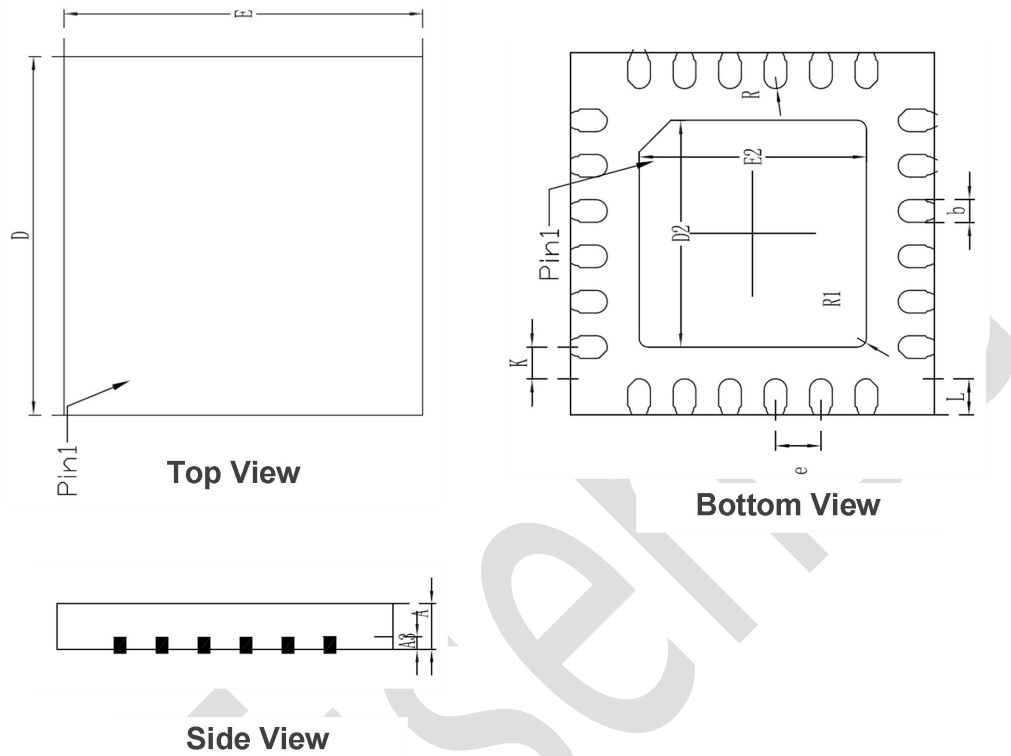


图 11-1. 24-Pin QFN 4x4 封装

表 11-1. 24-Pin QFN 4x4 封装尺寸

符号	尺寸 (毫米 mm)		
	最小值	典型值	最大值
A	0.65	0.75	0.85
A1	0.00	0.02	0.05
A3	--	0.15	--
b	0.18	0.25	0.30
D	3.90	4.00	4.10
E	3.90	4.00	4.10
e	0.45	0.50	0.55
D2	2.50	2.65	2.80
E2	2.50	2.65	2.80
L	0.35	0.40	0.45
K	0.20	--	-
R	--	0.10	-
R1	-	0.10	-

## 12. 顶部丝印

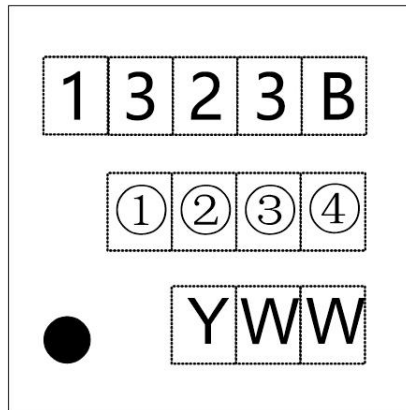


图 12-1. ZTG1323B 顶部丝印

表 12-2. ZTG1323B 顶部丝印说明

丝印方式	激光
管脚 1 标记	圆圈直径 = 0.3 mm
字体尺寸	0.5 mm, 右对齐
第一行丝印	1323B, 代表型号 ZTG1323B
第二行丝印	①②③④内部跟踪编码
第三行丝印	日期代码, 由封装厂分配, Y 表示年的最后一位数, WW 表示工作周。